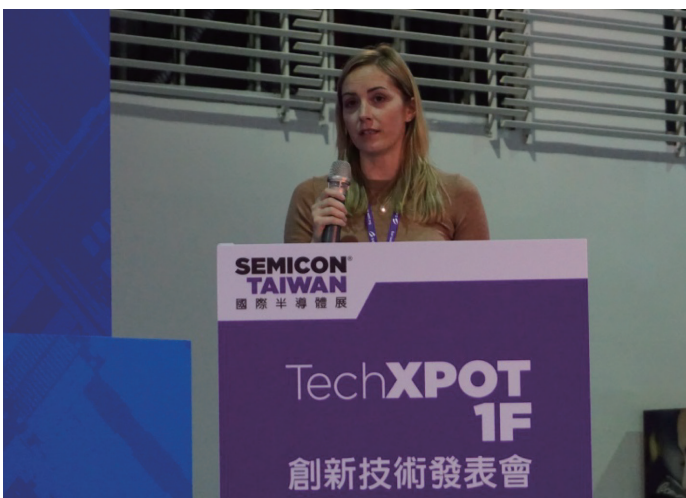


觀察①: IoT 裝置帶動扇外型封裝成長

ECD 製程 朝高深寬比 & 高速電鍍邁進

■文：任苙萍



照片人物：Atotech 先進封裝全球產品經理 Cassandra Melvin

在物聯網 (IoT) 狂潮浪湧下，扇外型 (Fan-out) 封裝將呈爆炸性成長，可望彌補目前覆晶 (Flip Chip) 封裝的不足，包括：改善散熱和電性效能、藉由多次重佈線 (RDL) 提供更多 I/O 接腳數目、整合更多功能，以及封裝尺寸更小等。不過，阿托科技 (Atotech) 先進封裝全球產品經理 Cassandra Melvin 表示，這同時也為銅柱 (copper pillar) 電化學沉積 (Electrochemical Deposition, ECD) 製程帶來挑戰：

1. 電鍍 (Plating) 的電流密度須大

於 20 ASD (電極單位面積所通過的安培數)，且銅柱厚度大於 $200\ \mu\text{m}$ ；

2. 電鍍銅柱的「深寬比」(aspect ratio) 須拉高至 4:1；

3. 為使晶體更緊密、孔洞 (Voiding) 更少，須儘可能去除有機雜質沉積；

4. 降低蝕刻的非均勻性 (Non-uniformity, NU) 以提升良率。

Melvin 提醒，RDL

工程同樣要極力避免有機雜質沉積，另有以下幾點須留意：1. 電鍍線寬／線距 (L/S) 更精細，約在 $10\ \mu\text{m}$ 以下；2. 同一段製程中的電鍍 RDL 與填孔 (Via-Filling) 須保持一致；3. 減少內應力以免造成翹曲。她指出，高速電鍍厚銅的關卡在於：如何更快沉積並獲得更好的均勻性及平坦度；經過實證，提高「深寬比」將有效改善上述指標。此外，有機雜質會產生細微孔洞、影響電性效能；借助快速電鍍提高電流密度，可提高電流量、降低孔洞以強化半導體元件的可靠度。

至於非均勻性與良率的關係，由於電鍍期間的基板移動亦有助於攪拌及流動的最佳化，進而改善均勻性及高值「深寬比」的填孔結果——與標準製程記錄 (POR) 相較，在相同的電流密度下，晶圓間 (WIW) 和晶片間 (WID) 的均勻表現明顯較佳，對可靠度及良率具正面作用。Melvin 介紹，Atotech 公司的「MultiPlate」電鍍設備能滿足上述需求，可實現高純度金屬沉積並具備雙面電鍍能力；可與各種尺寸／厚度的晶圓、面板、電鍍液及基板相容，包括矽和玻璃。

特別一提的是，「MultiPlate」採用不溶性陽極 (尺寸穩定陽極)，幾何尺寸不會隨時間變化、電極反應活性高，且送電均勻、使用壽命長，號稱「現場零維護」；它還提供可編程的機械攪動功能，允許工程師透過物理參數優化外形、不需額外校平，減少有機雜質摻入機會；若能降低 75% 有機雜質並以 4~5 倍快的速度進行電鍍，是元件可靠度及產出的黃金交叉點。

CTA