

可攜式裝置中的電源效率

作者：Viktor Strik / 德州儀器
Sergei Strik

摘要

電源效率對於可攜式裝置以及類比 IC 的抗雜訊能力來說都非常重要。本文主要介紹電壓參考電路，其不僅支援極低的工作靜態電流（低於 250nA），而且還符合標準 CMOS 製程。這種電路針對各種應用進行了優化設計，適合使用在可攜式電子設備、汽車、醫療設備，以及高電源供應抑制比 (Power Supply Rejection Ratio, PSRR) 和開關雜訊抗擾度都非常重要的單晶片系統 (SoC) 中。

上述電壓參考在低頻下支援達 90dB，其輸出電壓變化的標準差是 0.5%，在 -40 至 125 溫度範圍內的溫度係數為 15ppm/°C。這些特性可在 1.6V 至 5.5V 的供應電壓範圍內實現，可實現各種用於為電壓參考實現輸入雜訊抗擾度的方法。

介紹

幾乎每款類比電路都需要高精準度與高穩定度的參考電壓或電流源。不過，在選擇 SoC 技術時，參考電壓模組不應成為限制因素。也就是說這類系統所選用的技術製程對於參考電壓源來說並不一定總是最理想的。因此，其設計應該更穩固，才能適應各種技術製程的變化。

電池通常可作為 SoC 的電源，因此更需要提高工作在大電源電壓範圍內的電壓參考源的線性穩壓效能。若要延長電池使用壽命，就需要低靜態電源電流。同時，還需要在寬頻下實現高電源供應抑制比 (PSRR)，以抑制來自高速數位電路、降壓轉換器或晶片上其他開關電路的雜訊。本文主要介紹具有高 PSRR 的超低靜態電流能隙電壓參考。

基本能隙電壓參考結構

改善 PSRR 的重點是在低壓降穩壓器 (LDO) 後面佈置一個能隙電壓源。現有線性穩壓器拓撲在靜態電流、DC 負載穩壓、暫態響應、去耦電容以及矽晶片面積要求方面存在很大差異。由於 TI 的目標是在沒有外部電容的情況下，在同一晶片上提供全面整合型 LDO，因此典型 LDO 結構並不適合。

這些結構與超低靜態電源電流相矛盾。為了緩解這問題，您可為 LDO 使用與參考源相同的能隙，不宜採用標準 LDO 結構的原因在於其需要輸出電容來達到穩定工作。最好的方法是結合一個增益等級的結構，其無需輸出電容便可實現穩定。

低壓降穩壓器

圖 1 是設計^[1]中使用的 LDO 內核及其簡化原理圖。圖 1^[2] 中的 M0 和 M4 代表摺疊電壓隨耦器 (FVF)，其可實施無逆向功能及相關極點的單級穩壓，靜態電流由電晶體 M1 和 M3 確定，電晶體 M2 可作為共閘極放大器。

LDO 的開路增益由第一個串聯級 (即電晶體 M2 和 M3) 決定。可作為負載的 M4 PMOS 隨耦器有低阻抗源，因此 FET M0 的輸出增益接近 1。在圖 2 中的小型訊號等效電路的幫助下，對所建議的 LDO 結構進行穩定性分析，結果顯示只有一個極點 (公式 1)：

$$SP = \frac{gd3(gd4 + gd2 + gm2) + gd2gd4}{Cgs0(gd4 + gd2 + gm2)}$$

可作為補償電容的 M0 閘源極電容可建立 LDO 的主極點，因此無需去耦晶片外的電容，便可使

圖 1：具有翻轉電壓隨耦器、無輸出電容的 LDO

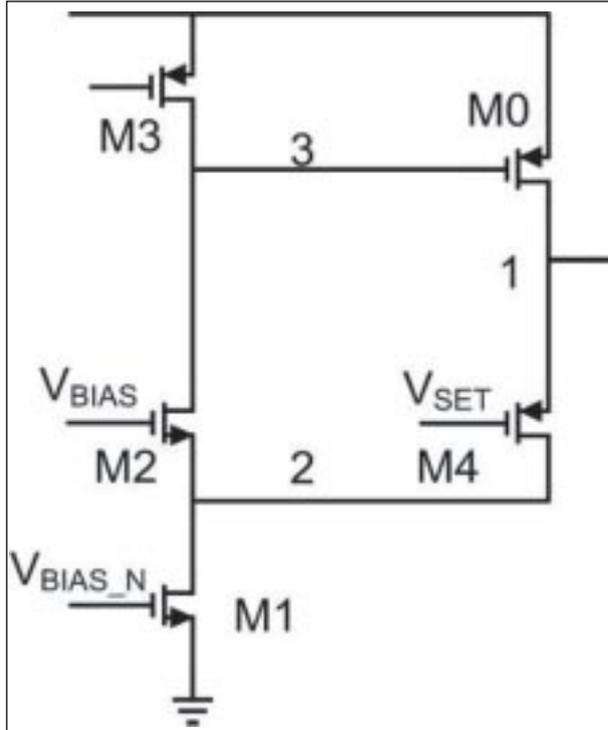
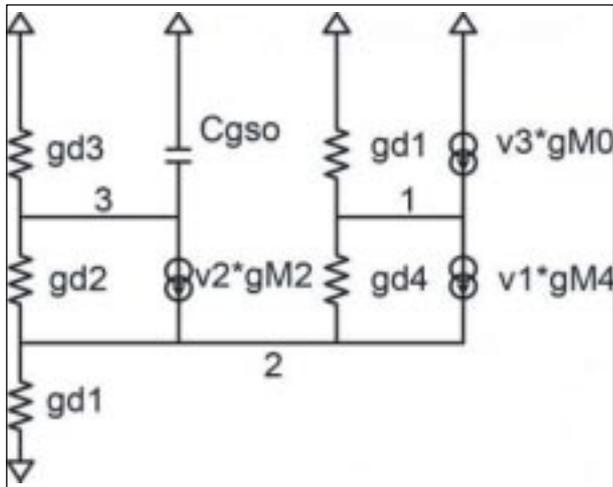


圖 2：LDO 的小型訊號等效電路



LDO^[3]穩定。

這種 LDO 的另一項優勢為簡單的自動啟動程式其無需專用電路。最初在電壓 V_{DD} 為 0 時， V_{OUT} 也為 0，隨耦器 M4 在無回授的情況下關閉，M1 的偏壓電流大於 M3 的偏壓電流，不僅可降低閘極電壓 M0，還可驅動輸出電壓 V_{OUT} 至所選的輸出電壓值。

這種架構的缺點是線路穩壓及 PSRR 較差。原因在於開路增益低，因為其僅由一個增益級決定。合理的解決方案是第一級的串連電流源，可提高

高增益，進而可提高線路穩壓效能和 PSRR。

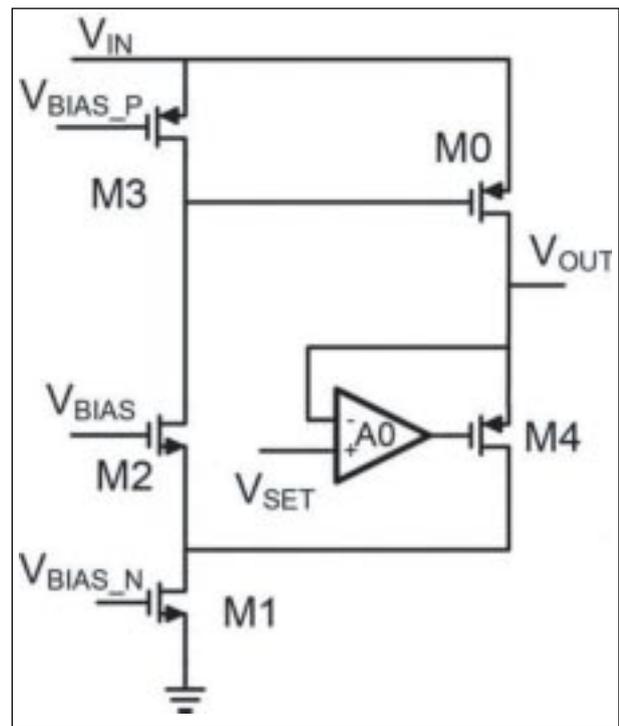
圖 1 中的 LDO 輸出電壓為(公式 2)：

$$V_{OUT} = V_{SET} + V_{GS,M4}$$

其中， V_{SET} 為參考電壓， $V_{GS,M4}$ 是 M4 的閘源電壓。

因此，輸出電壓對溫度和製程變化極為敏感。要避免這種問題，就必須建造一個更為理想的隨耦器，其中 M4 是回授通路的一部分(圖 3)。

圖 3：M4 位於放大器回授通路中、無輸出電容的 LDO。



這種情況下的輸出電壓為公式 3：

$$V_{OUT} = V_{SET} + V_{GS,M4}/A_0$$

其中， A_0 是放大器的開路增益回授。對於高回授放大器增益而言，可使用公式 4：

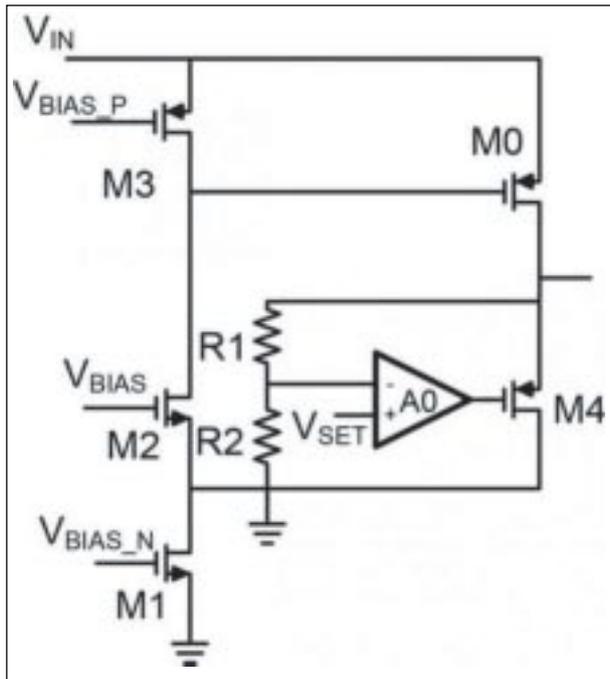
$$V_{OUT} = V_{SET}$$

在回授通路(圖 4)中添加電阻式分壓器後，輸出電壓轉變為：

$$V_{OUT} = V_{SET}(1 + R1/R2)$$

FVF 回授放大器不影響整體 LDO 穩定性，因為其位於主 LDO 回授通路的外部，本地回授通路

圖 4：具有電阻式分壓器、M4 位於放大器回授通路、無輸出電容的 LDO

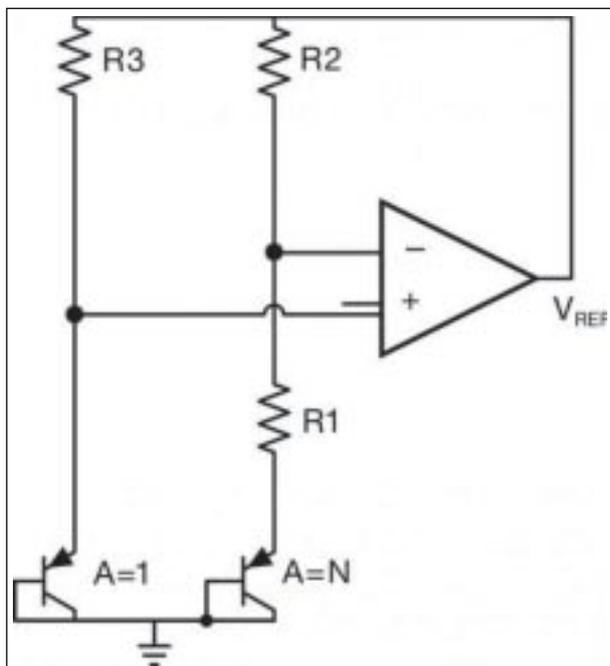


只要求設計方案穩定。

能隙內核說明

選用的能隙內核擁有標準 CMOS 技術中廣泛使用的經典結構(圖 5)。

圖 5：建議的能隙電壓參考內核的簡化方塊圖



透過添加雙極電晶體中基於射極間電壓的負溫度係數，可獲得能隙電壓的低溫係數，進而可透過在不同電流密度下偏壓的兩個基於射極間電壓之差獲得正溫度係數電壓。為電阻 R2 和 R3 選擇相等的值，參考電壓就可表示為公式 5：

$$V_{REF} = V_{ebQ1} + \left(1 + \frac{R_2}{R_1}\right) \cdot V_t \ln \left(\frac{I_{Q1} + I_{S,Q2}}{I_{Q2} + I_{S,Q1}}\right)$$

其中 V_{EB} 是 Q1 的基於射極間電壓， V_T 是熱電壓， I_{Q1} 和 I_{Q2} 是透過電晶體 Q1 和 Q2 的電流，而 $I_{S,Q1}$ 和 $I_{S,Q2}$ 則分別是 Q1 和 Q2 的飽和電流。

誤差源

要為任何能隙電壓參考實現良好的精確度，必須定義總體精準度誤差的主要形成因素^[4]。以下是所建議架構的最大誤差源：

- 放大器偏移電壓
- 電阻 R1 與 R2 之間的不匹配
- 雙極電晶體的飽和電流不匹配
- 電阻 R1、R2 和 R3 的變化

放大器偏移電壓

放大器偏移電壓對於參考電壓精確度來說很重要，因為透過與基極發射電壓差相同的方式放大。儘管 TI 可以透過增大雙極電晶體的面積比來減少對放大器偏移電壓的影響，但由於電壓差具有對數尺，因此會受到這個比例的合理值限制。在本例中，TI 選擇的比例為 24。

對放大器偏移電壓影響最大的是輸入級電晶體臨界值電壓變化。其可透過增大放大器輸入對的尺寸來改善(公式 6)。

$$dV_t \approx 1/\sqrt{WL}$$

電阻 R1,R2 之間的不匹配

電阻 R1,R2 之比可定義公式 5 中正溫度係數的增益。為了讓該增益係數準確，TI 使用較大面積單位電阻。使用特殊的電阻配置，可實現 0.1% 的誤差比例精準度。

雙極電晶體的電阻與飽和電流的變化

這兩種變化會導致雙極電晶體的發射極 - 基極電壓 V_{eb} 發生偏壓。發射極 - 基極電壓可用公式 7 確定：

$$V_{eb} = V_t \ln\left(\frac{I}{I_S} + 1\right)$$

其中， I 是發射極電流， I_S 是雙極電晶體的飽和電流。引起 I_S 變化的主要原因是 $Q1$ 和 $Q2$ 電晶體面積的不匹配以及雜質濃度的變化。

電阻 $R1$ 的變化可影響通過電晶體 $Q2$ 的電流 I 的絕對值，他是負溫度係數 V_{EB} 的一部分。

電阻 $R2$ 和 $R3$ 分別可確定通過 $Q1$ 和 $Q2$ 的電流值。 $R2$ 和 $R3$ 的變化可導致參考電壓(公式 5)的正溫度係數不準確。不過，可透過對電阻 $R2$ 、 $R3$ 進行良好匹配來降低該變化所引起的誤差。

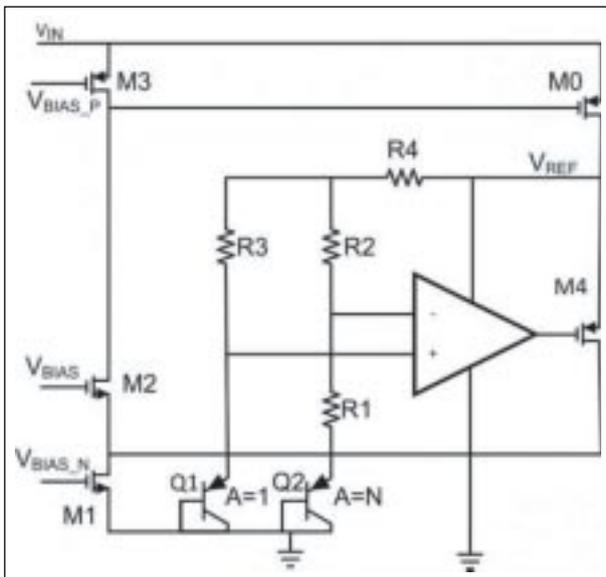
高 PSRR 能隙電壓參考電路

由於上述傳統電壓參考架構的所有缺點， $T1$ 建議採用能隙電壓參考與低壓降穩壓器的整合解決方案為改進的電壓參考(圖 6)。

圖 6 中的輸出電壓可由公式 8 確定：

$$V_{REF} = V_{eb,Q1} + (1 + (R_2 + 2R_4)/R_1) * V_t \ln(N)$$

圖 6：能隙電壓參考結合低壓降穩壓器的方塊圖



V_{REF} 節點既是能隙參考的輸出節點，同時也是能隙核心電路的電源線，有助於 $T1$ 透過 LDO 保護能隙核心電路免受電源電壓漣波影響。

要獲得小靜態電流，電阻 $R1$ 、 $R2$ 、 $R3$ 和 $R4$ 的值就會比較大，建議電路的電阻為 $8M$ 。這可使通過 $Q1$ 和 $Q2$ 的電流降低至 $40nA$ 。建議架構的整體靜態電流為 $250nA$ 。除此之外， $T1$ 還可採用一款靜態電流為 $100nA$ 的偏移電流電源。

偏移電流電路

建議的偏移電流電路基於一種知名的電路結構(如圖 7 所示)，在參考文獻 5^[5]中有詳細介紹。

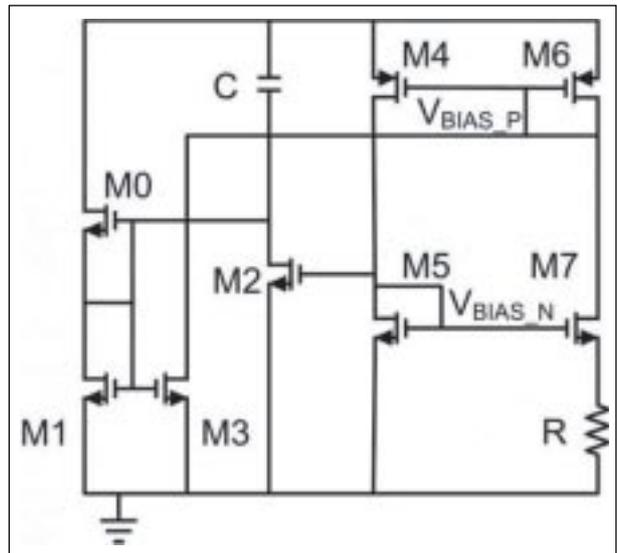
在該電路中，兩個 N 型電晶體 $M5$ 和 $M7$ 構成第一個增益為 $S7/S5$ 的電流鏡，而兩個 P 型電晶體 $M4$ 和 $M6$ 則構成第二個增益為 $S4/S6$ 的電流鏡，其中 $S4$ 、 $S5$ 、 $S6$ 和 $S7$ 是相應電晶體的面積。

偏移產生器通常不需要特別的啟動電路，這可減少靜態電流和佔用面積。如果電流夠小，電阻 R 就可以忽略。由 $M5/M7$ 和 $M4/M6$ 構成的兩個電流鏡可互連成一個閉路。

該通路增益大於單位增益，因此兩個分支中的電流都會增大，直至達到均衡為止。這將由電阻 R 的壓降定義，可表示為公式 9：

$$V_r = V_t \ln(S4/S6)(S7/S5)$$

圖 7：具有動態啟動電流的偏移產生器



要加快啟動速度並避免可能的漏電影響，可使用一款附加啟動電路。電晶體 M0 可作為具有極大電阻的橫向雙極 NPN 電晶體使用，其可使啟動電流降至最低。電容 C 不僅可在電路供電時提供快速暫態啟動，而且還可防止啟動電路發生振盪。在啟動之後，電路由電晶體 M2 阻斷。偏移模組的偏移電流是 40 nA。總流耗是 80 nA。

驗證結果

建議的能隙參考不僅可用於超低雜訊、高

圖 8：電壓參考源的 PSRR

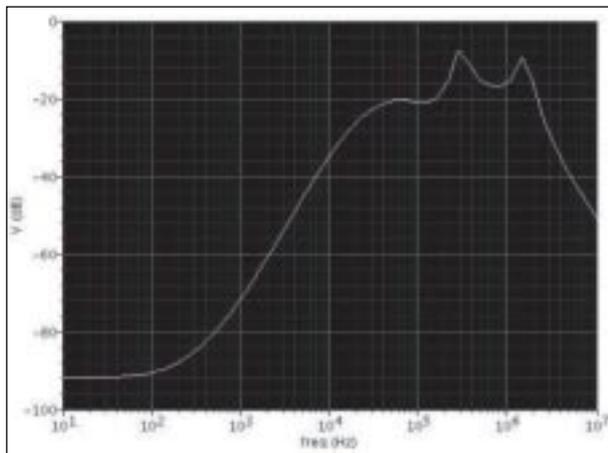


圖 9：輸出電壓精準度

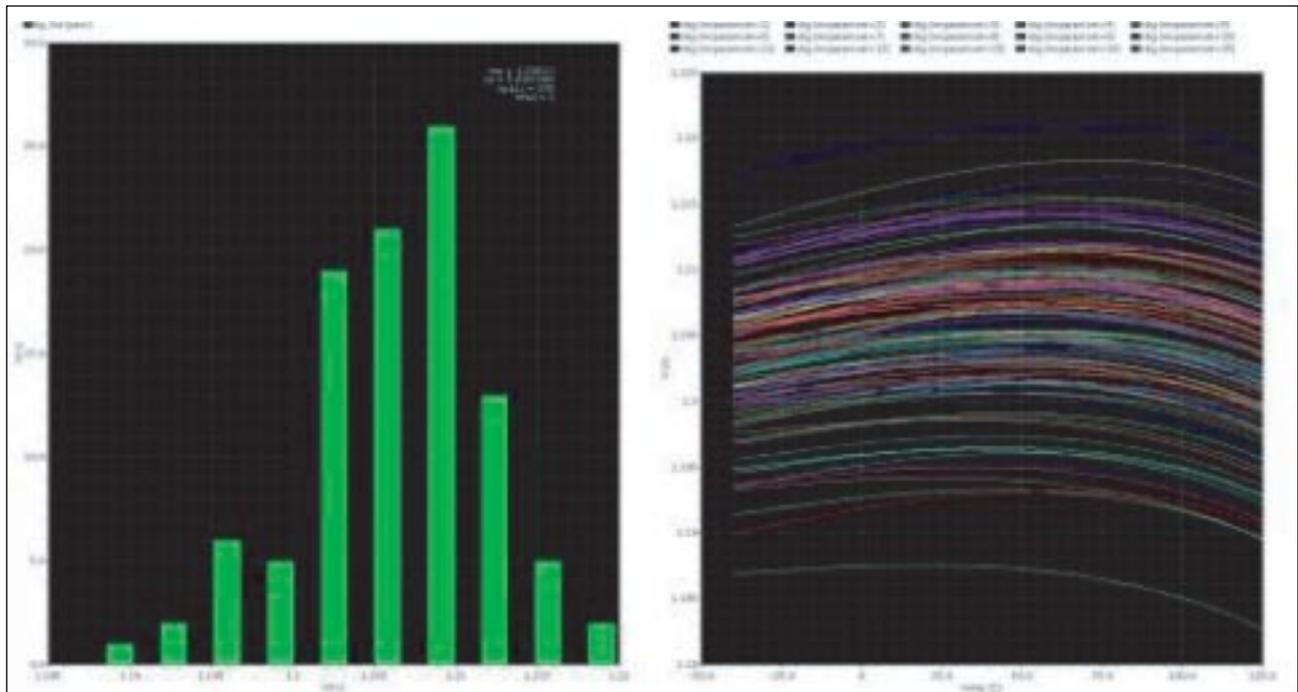


表 1：測量資料

參數	典型值	單位
溫度範圍	-40°C至125°C	°C
靜態電流	250	nA
輸出電壓	1.206	V
輸出電壓誤差 精準度 (1)	0.5	%
輸出電壓溫度係數	15	ppm/°C
100Hz 下的 PSRR	93	dB
啟動時間	90	us

PSRR 的低壓降穩壓器，而且還可採用 CMOS 9T5V 技術。PSRR 值如圖 8 所示，輸出電壓精準度的蒙特卡洛溫度變化模擬結果如圖 9 所示，測量結果請參見表 1。

總結

TI 不僅介紹了採用 CMOS9T5V 0.18 μ m 製程的高 PSRR 的極低功耗能隙電壓參考，而且還詳細介紹了功耗降至最小和 PSRR 升至最高的設計條件。將能隙電壓參考與低壓降穩壓器相結合，可在 100Hz 下獲得 93dB 的高 PSRR。該電路的最大靜

態電流僅 250nA，是超低功耗應用最具吸引力的選擇。

參考資料

- 1.J. Guo and K. N. Leung, "A 6-uW Chip-Area-Efficient Output-Capacitorless LDO in 90-nm CMOS Technology," IEEE Journal of Solid State Circuits, vol.48, No.9, Sep. 2010
- 2.Blakiewicz, G., "CMOS low-dropout regulator with improved time response," Mixed Design of Integrated Circuits and Systems (MIXDES), 2011 Proceedings of the 18th International Conference, vol., no., pp. 279,282, 16-18 June 2011
- 3.P. Hazucha, T. Karnik, B. A. Bloecher, C. Parsons, D. Finan and S. Borkar, "Area-Efficient Linear Regulator With Ultra-Fast load regulation," IEEE Journal of Solid State Circuits, vol. 45, No.4, Apr. 2005
- 4.S. Strik, "Bandgap voltage reference: errors and techniques for their minimization," Proceedings of BEC 2006, pp. 123-126, Oct. 2, 2006
- 5.E. Vittoz, J. Fellrath, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation," IEEE Journal of Solid State Circuits, vol. SC-12, No.3, Jun. 1977
- 6.For more information about LDOs, visit: www.ti.com/ldo-ca. 

資策會 FIND：臺灣每人每日有 1/8 醒著的時間都在使用 APP！

根據資策會 FIND 結合 Mobile First 在 2014 年下半年調查發現，在臺灣地區 12 歲(含)以上民眾已有 1,432 萬智慧型裝置持有者中，有 74.4% 的使用者有下載 APP 的習慣；其中，使用 LINE 與 Facebook 的消費者，平均每天使用時間分別都已經超過 1 個小時最高，而習慣在行動裝置上玩遊戲類 APP 平均每天使用約 52.6 分鐘。

資策會 FIND 消費者研究組鄭仁富組長分析資料後說明，儘管消費者使用 APP 個數不多，但從平均使用時間來看，APP 的使用者平均每天使用 APP 的時間已經達到 132 分鐘，在 20-34 歲年齡層的使用者中，平均每天使用時間更超過 2.5 個小時以上。APP 是一個高黏著度的內容，且其市場分眾及行為已經逐漸成型。

在使用 APP 的類型方面，調查結果顯示，臺灣智慧型裝置持有者使用比例最多的 APP 前三名依序是社交聊天類(每百人有 73.5 人)、娛樂類(每百人有 44.0 人)、行動遊戲類(每百人有 43.9 人)。

進一步分析對於個別 APP 使用行為來看，其中，以使用 LINE 與 Facebook 的消費者，平均每天使用時間分別都已經超過 1 個小時最高；此外，習慣在行動裝置上玩遊戲類 APP 平均每天使用約 52.6 分鐘。

資策會創研所鄭仁富組長進一步說明，隨著消費者對於行動裝置上 APP 的使用行為已經逐漸成熟與穩定，消費者已經很習慣地在行動裝置上經常使用他們所需要的內容，對於新進的 APP 內容來說，未來要產生大量下載和使用流量越來越難，對於 APP 的開發者而言，更需要思考的是 APP 要提供給終端使用者的價值為何。