

帶有分散式鎖相迴路的相位陣列系統級 LO 相位雜訊模型

對於數位波束成形相位陣列而言，要生成 LO，通常會考慮的實現方法是向分佈於天線陣列中的一系列鎖相迴路分配常用基準頻率。對於這些分散式鎖相迴路，目前文獻中還沒有充分記錄用於評估組合相位雜訊性能的方法。在分散式系統中，共同噪音源是相關的，而分散式噪音源如果不相關，在 RF 訊號組合時就會降低。對於系統中的大部分元件，這都可以非常直覺地加以評估。對於鎖相迴路，迴路中的每個元件都有與之相關聯的雜訊傳遞函數，它們的貢獻是控制迴路以及任何頻率轉換的函數。這會在嘗試評估組合相位雜訊輸出時增加複雜性。本文基於已知的鎖相迴路建模方法，以及對相關和不相關貢獻因素的評估，提出了跟蹤不同頻率偏移下的分散式 PLL 貢獻的方法。

■作者：Peter Delos / ADI 航空航天和防務部門技術主管

簡介

對於任何無線電系統，都需要為接收器和激勵器精心設計本地振盪器 (LO) 生成的實現方法。隨著數位波束成形在相控陣天線系統中不斷普及，需要在大量分散式接收器和激勵器中分配 LO 訊號和基準頻率，而這讓設計變得更加複雜。

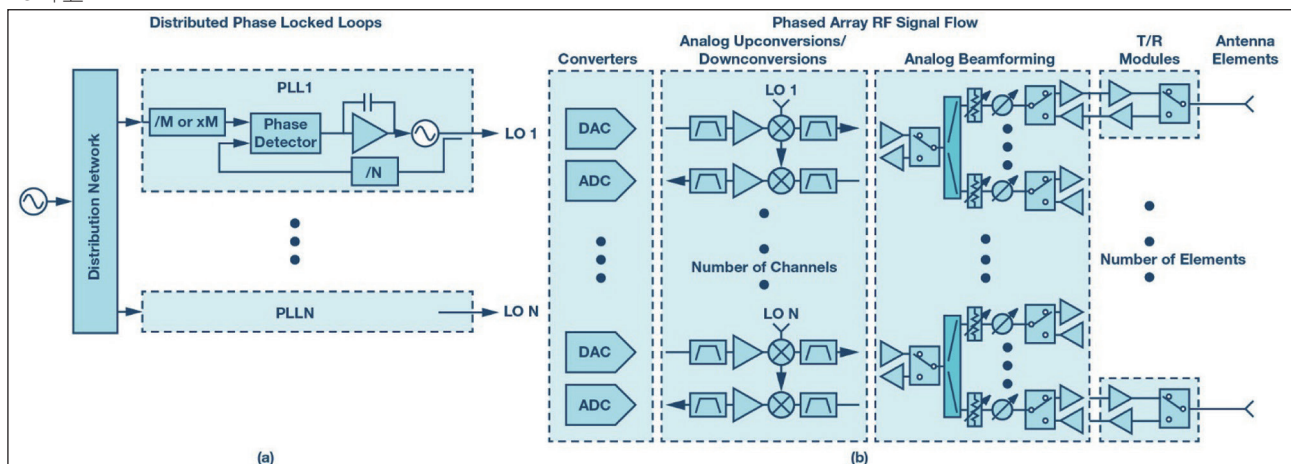
在系統架構層面需要權衡的因素包括，分配所需的 LO 頻率或分配較低的頻率基準，以及在靠近使用點的物理位置產生所需的 LO。透過鎖相迴路從本地產生 LO 是一種高度整合的現成選項。下一個挑戰是評估來自各種分散式元件以及集中式元件的

系統級相位雜訊。

採用分散式鎖相迴路的系統如圖 1 所示。常用基準頻率被分配至多個鎖相迴路，各產生一個輸出頻率。圖 1a 中的 LO 輸出被假設為圖 1b 的混頻器的 LO 輸入。

系統設計人員所面臨的其中一項挑戰，是追蹤分散式系統的雜訊貢獻、瞭解相關和不相關的雜訊源，並估計整體的系統雜訊。在鎖相迴路中，這個挑戰變得更加嚴峻，因為雜訊傳遞函數都是鎖相迴路中的頻率轉換和迴路頻寬設置的函數。

圖 1：分散式鎖相迴路系統。每個振盪器都被鎖相到一個共同的參考振盪器上。從 1 到 N 的 LO 訊號都應用到相位陣列中所示的混頻器的 LO 埠上。



動機：組合鎖相迴路測量示例

圖 2 所示為針對組合鎖相迴路的測量示例。這

圖 2：兩個組合鎖相迴路的相位雜訊測量

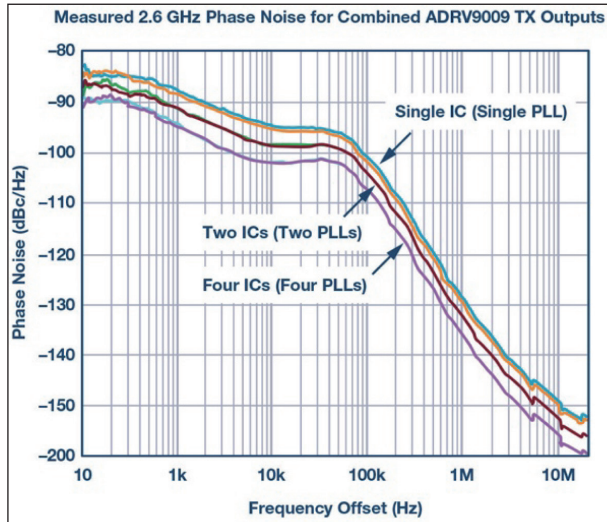


圖 3：典型的鎖相迴路相位雜訊分析，顯示所有元件的雜訊貢獻。總雜訊是所有貢獻因素的總和。

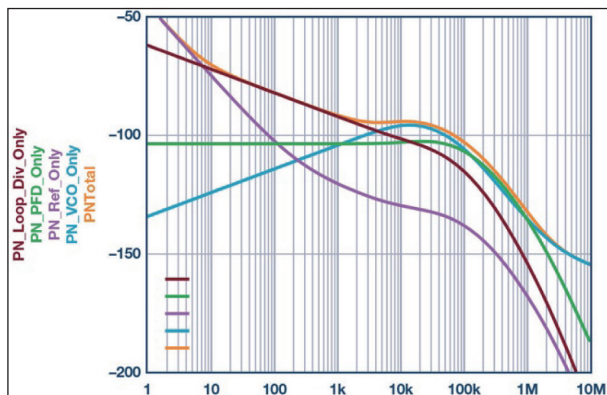
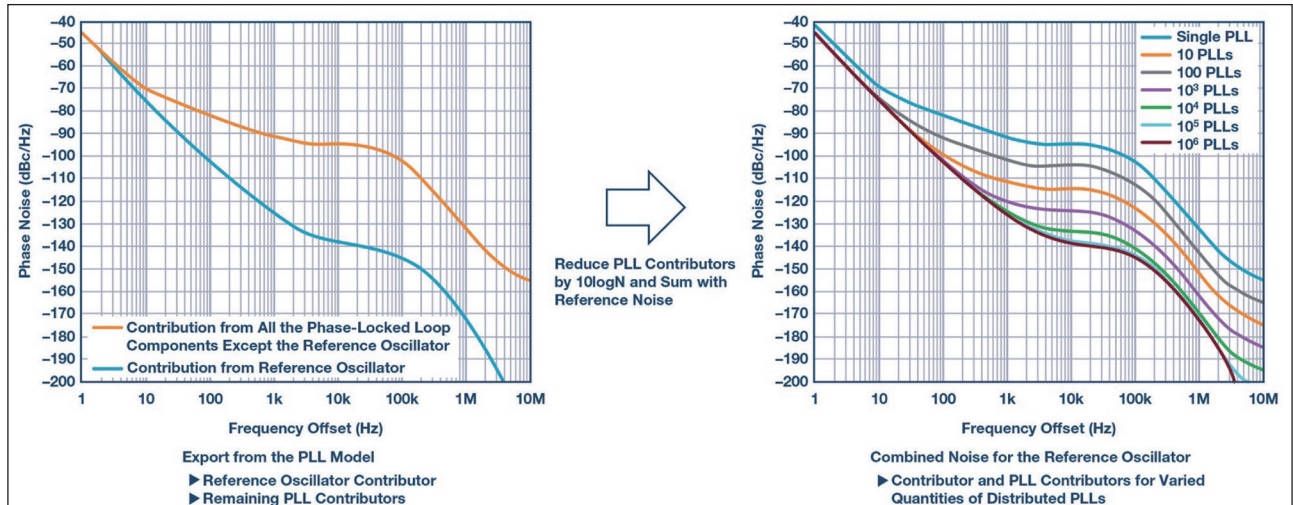


圖 4：開始採用分散式鎖相迴路相位雜訊建模方法：從鎖相迴路模型中提取參考振盪器和鎖相迴路中除參考振盪器外的所有其他元件的相位雜訊貢獻。作為分散式鎖相迴路數量的函數，組合相位雜訊假設參考雜訊是相關的，而分佈在多個 PLL 之間的雜訊貢獻是不相關的。



些資料是通過組合來自多個 ADRV9009 收發器的發射輸出獲得的。圖中所示為單個 IC、兩個組合 IC 和四個組合 IC 的情況。對於這個資料集，在 IC 組合之後，可以看到明顯的 $10\log N$ 改進。為了達到這個結果，需要採用一個低雜訊晶體振盪器參考源。下一節建模的動機是推導出一種方法，以計算在具有許多分散式收發器的大型陣列中，更廣泛地說是在具有分散式鎖相迴路的任何架構中，這種測量結果會如何變化。

鎖相迴路模型

鎖相迴路中的雜訊建模已有充分的文檔記錄。1-5 圖 3 所示為輸出相位雜訊圖。在這種類型的圖中，設計者可以快速評估迴路中每個元件的雜訊貢獻，而這些貢獻因素累計起來即可決定整體的雜訊性能。模型參數設定為代表圖 2 所示的資料，源振盪器用於估算將大量 IC 組合在一起時的相位雜訊。

要檢驗分散式鎖相迴路的效果，首先要從 PLL 模型匯出參考貢獻和其餘 PLL 元件的貢獻。

將已知的 PLL 模型擴展為分散式 PLL 模型

下文將介紹為具有多個分散式鎖相迴路的系統計算組合相位雜訊的過程。這種方法的前提是能夠

將參考振盪器的雜訊貢獻與 VCO 和迴路元件的雜訊貢獻分離開來。圖 4 所示為一個假設的分散式示例，一個參考振盪器對應多個 PLL。這個計算假設了一個無雜訊分佈，這不切實際，但可以用來說明原理。假設分散式 PLL 的雜訊貢獻是不相關的，並減少 $10\log N$ ，其中 N 表示分散式 PLL 的數量。隨著通道增加，雜訊在較大偏移頻率下得到改善，對於大型分佈系統，雜訊變得幾乎完全由參考振盪器主導。

圖 4 所示的示例簡化了對參考振盪器分佈的假設。在真正的系統分析中，系統設計人員還應該考慮參考振盪器分佈中的雜訊貢獻，它們會降低總體結果。但是，像這樣的簡化分析是非常有用的，能夠讓人瞭解架構方面的權衡會如何影響系統的總體相位雜訊性能。接下來我們來看看分佈系統中相位雜訊的影響。

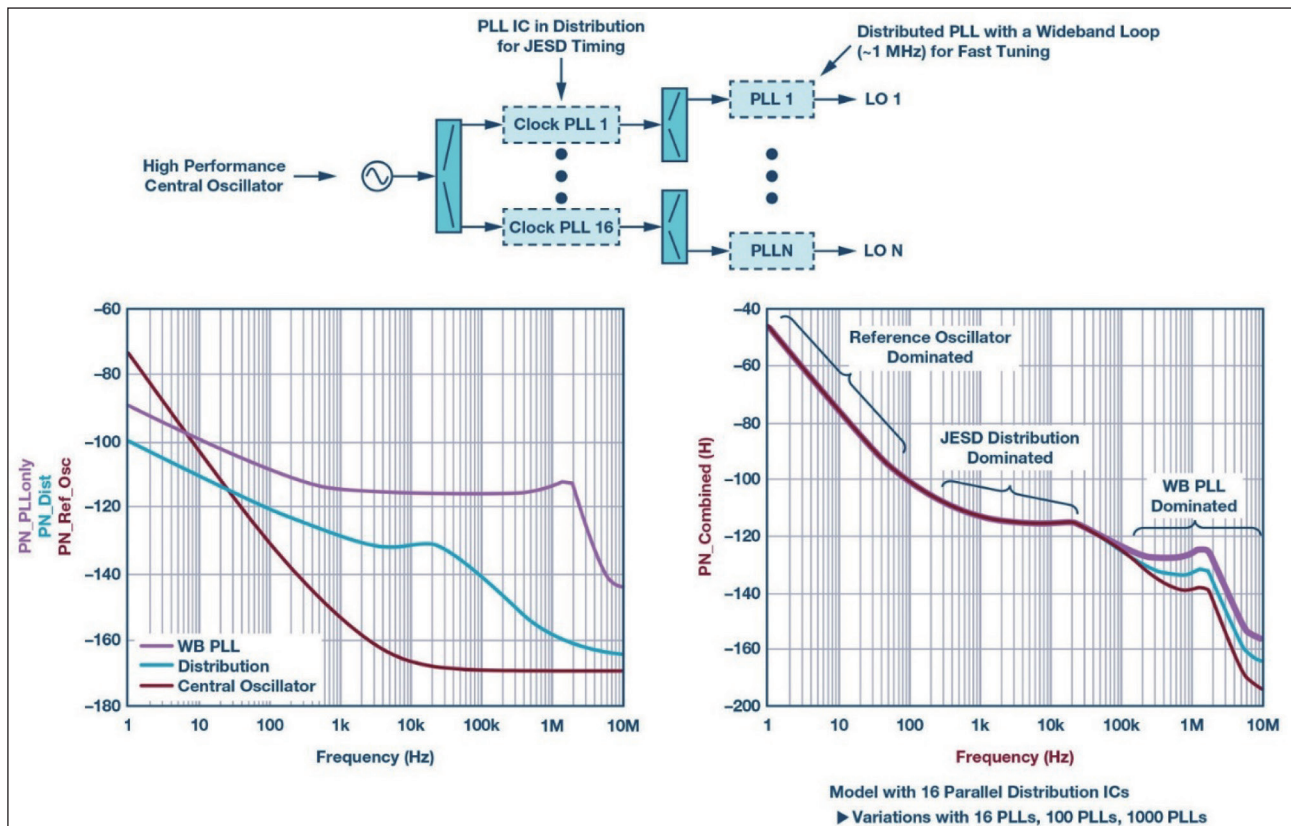
參考分佈中的相位雜訊說明

接下來將評估兩個分佈選項示例。考慮的第一

種情況如圖 5 所示。在這個示例中，選擇了一個常用於快速調諧 VCO 頻率的寬頻 PLL。參考訊號的分佈是透過時脈 PLL IC 實現的，這種 IC 也常用於簡化數位資料連結 (如 JESD 介面) 的時序限制。左下角顯示了各個貢獻因素。這些貢獻因素位於元件的頻率，並未調整到輸出頻率。右下角的相位雜訊圖顯示了不同數量的分散式 PLL 的系統級相位雜訊。

該模型的有些特性值得注意。假設採用一個高性能晶體振盪器，標稱頻率為 100 MHz，中央振盪器的單個貢獻因素反映在可用的較高端晶體振盪器上，雖然不一定是最好、最昂貴的可用選擇。雖然中央振盪器輸出實際上會扇出到有限數量的分散式 PLL，但這些 PLL 會再次按某個實際限值扇出並重複，以實現系統中的完整分佈。對於本例中的分佈貢獻，假設有 16 個分佈元件，然後假設它們會再次扇出。左下角所示的分佈電路的單個貢獻是不含參考振盪器貢獻的 PLL 元件的雜訊。本例中的分佈假設與源振盪器同頻率，並根據該函數可用的典型 IC

圖 5: 分佈中具有 PLL IC 的分散式寬頻 PLL。



來選擇雜訊貢獻因素。

寬頻 PLL 假設採用 S 波段標稱頻率，設置採用 1 MHz 迴路頻寬 (儘量與實際迴路的頻寬一般寬)，以進行快速調諧。

值得注意的是，選擇這些模型是為了代表可能的實際情況，且說明了陣列中的累積效應。任何詳細的設計或許都能夠改善特定的 PLL 雜訊曲線，這在預料之中，且這種分析方法旨在說明從工程角度去決定應將設計資源配置在哪些位置以獲得最佳總體效果，而不是為了做出相對於可用元件的確切論斷。

圖 5 右下角的圖計算了 LO 分佈的總組合相位雜訊。其中應用了各個貢獻因素的 PLL 雜訊傳遞函數，它們都被調整至輸出頻率，也包含 PLL 迴路頻寬的影響。系統數量也包括在內，並且假設它們是不相關的，因此，這個貢獻減少了 $10\log N$ 。假設分佈數量為 16，如前所述，分佈貢獻會減少 $10\log 16$ 。在實踐中，隨著分佈不斷重複，這種貢獻會進一步減少。但是，額外的雜訊貢獻不那麼顯著。對於大型陣列中的扇出分佈，雜訊將由第一組主動

元件主導。在 16 組扇出的情況下，如果每個主動元件都是 16 個其他主動元件的輸入，那麼在所有元件互不相關的情況下，16 個元件的額外分佈層只會降低 ~ 0.25 dB。如果繼續這種分佈，總體貢獻將更小。因此，為了簡化分析，不會考慮這種影響，且分佈的雜訊貢獻透過計算前 16 個並行分佈元件得出。

所得的曲線說明了幾種效果。與單個 PLL 模型相似，近載波雜訊由基準頻率主導，遠載波雜訊由 VCO 主導，且在將不相關的 VCO 組合起來時，遠載波雜訊得到改善。這一點相當直覺。而不太直觀的是，模型的值在由分佈中的選擇主導的偏移頻率中占較大比重。這一結果導致考慮具有更低雜訊分佈和更窄 PLL 迴路頻寬的第二個示例。

圖 6 顯示了一種不同的方法。採用相同的低雜訊晶體振盪器作為參考。但透過 RF 放大器來分配，而不是透過 PLL 重定時和重新同步。選擇固定頻率的分散式 PLL。這會產生兩種效果：採用單個頻率且調諧範圍較窄時，VCO 本質上可以更好，且迴路頻寬可以變得更窄。左下角的圖顯示了各個貢獻因素。中央振盪器與前一個例子相同。請注意分佈放

圖 6: 分散式窄頻 PLL，分佈中具備放大器。

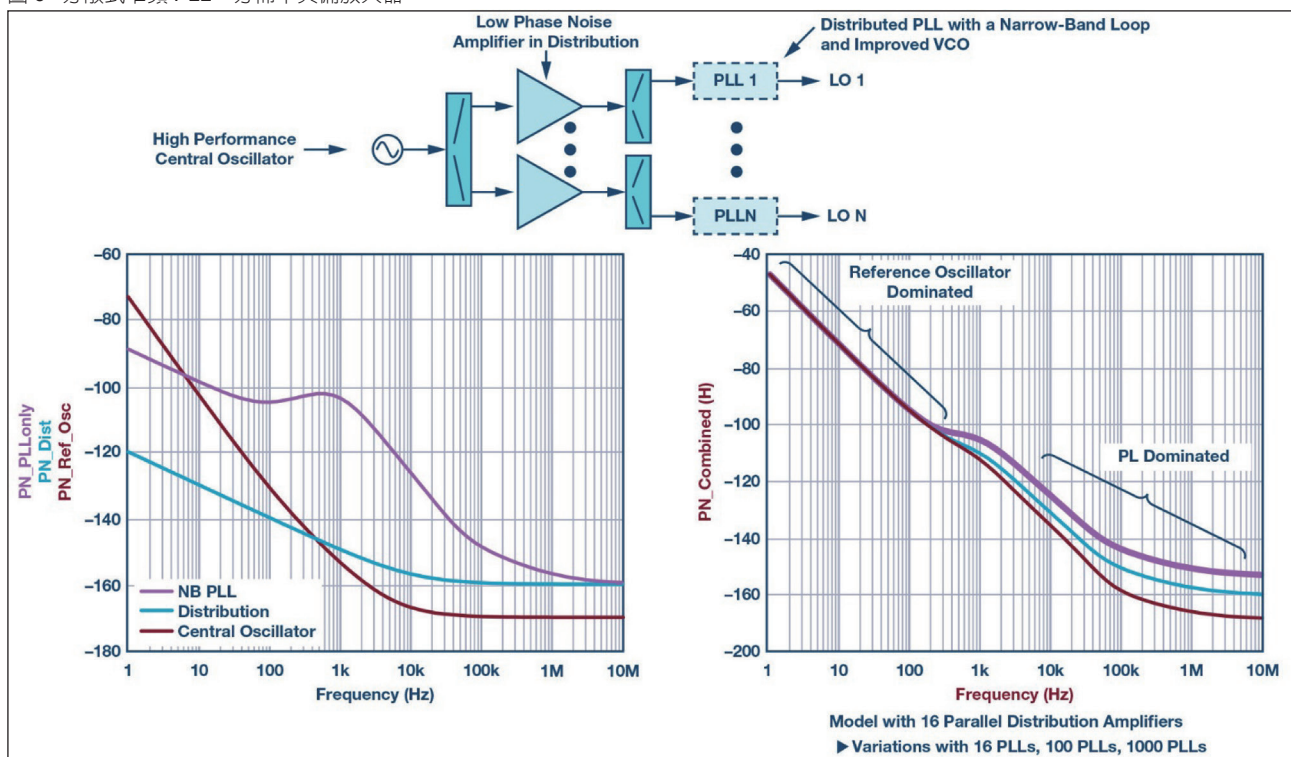
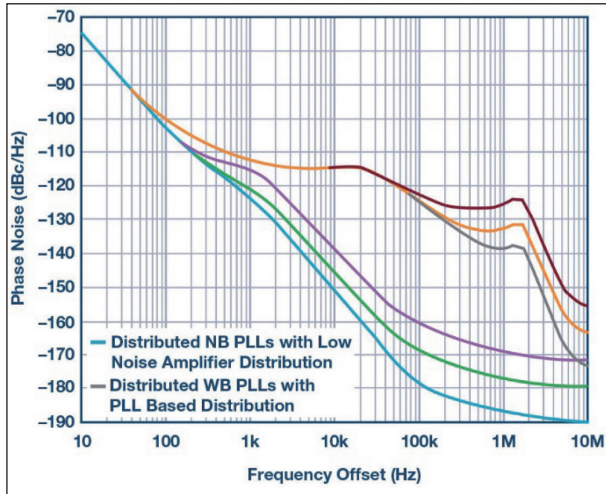


圖 7: 圖 5 和圖 6 之間的比較, 顯示了基於所選的分佈和架構的廣泛系統級性能範圍。



大器：考慮低相位雜訊放大器時，它們的性能不是特別高，但比起使用 PLL LC (如之前的示例) 要好得多。VCO 更好、迴路頻寬更窄時，分散式 PLL 在更高偏移頻率下會得到改善，但在 ~1 kHz 的中間頻率下時，實際上要比寬頻 PLL 示例差。右下角顯示組合結果：參考振盪器主導低頻，而高於迴路頻寬時，性能會由分散式 PLL 主導，且隨著分散式 PLL 的陣列尺寸和數量增加而提高。

圖 7 顯示這兩個示例之間的比較。注意 ~2 kHz 到 5 kHz 偏移頻率範圍內的大範圍差異。

分散式 PLL 陣列級考慮因素

基於對總體系統相位雜訊性能的加權貢獻的理解，可以得出幾個與相位陣列或多通道 RF 系統架構相關的結論。

PLL 頻寬

針對相位雜訊優化的傳統鎖相迴路設計將迴路頻寬設置為偏移頻率，以最小化總體相位雜訊曲線。此時的頻率一般是參考振盪器相位雜訊按輸出頻率標準化後與 VCO 相位雜訊相交的頻率。對於具有多個鎖相迴路的分散式系統，這可能不是最佳迴路頻寬。分散式元件的數量也需要考慮。

要在採用分散式鎖相迴路實現的系統中獲得最

佳 LO 雜訊，需要採用一個較窄的迴路頻寬來最小化參考振盪器的相關雜訊貢獻。

對於需要快速調優 PLL 的系統，通常會擴大迴路頻寬來優化速度。遺憾的是，這種優化分散式相位雜訊貢獻的思路本身就是背道而馳的。克服這一問題的選擇之一是在寬頻迴路之前設置分散式窄帶清理迴路，以降低參考雜訊和分佈雜訊相關位置的偏移頻率。

大型陣列

對於使用數千個通道的系統，如果分散式元件的貢獻之間保持互不相關，則系統能夠獲得大幅改進。主要考慮的問題可能圍繞參考振盪器的選擇展開，以及因應分散式接收器和激勵器維持低雜訊分佈系統。

直接採樣系統

隨著速度和 RF 輸入頻寬持續提升的 GPS 轉換器的不斷普及，直接採樣系統正逐漸在微波頻率實現。而這導致出現一種有趣的取捨現象。資料轉換器只需要一個時脈頻率，RF 調諧完全在數位域中完成。透過限制調諧範圍，可以構建具備相位雜訊性能更高的 VCO。這也使得創建資料轉換器時脈的 PLL 的迴路頻寬降低。更低的迴路頻寬會將參考振盪器的雜訊傳遞函數降至更低的偏移頻率，從而減少它在系統中的貢獻。這一點，再加上改良過的 VCO，在某些情況下可能給分散式系統帶來好處，即使單通道比較結果似乎更青睞替代架構：

元件選項

根據系統架構中所需的選擇，設計人員擁有大量可用的元件選項。2018 年度 RF、微波和毫米波產品選型指南新版現已發佈。

近期的整合 VCO/PLL 選項包括 ADF4371/ADF4372。它們提供的輸出頻率分別高達 32 GHz 和 16 GHz，採用 -234 dBc/Hz 的先進 PLL 相位雜訊 FOM。ADF5610 提供高達 15 GHz 的輸

出。ADF5355/ADF5356 的輸出可達 13.6 GHz，ADF4356 的輸出可達 6.8 GHz。

對於單獨的 PLL 和 VCO 配置，ADF41513 的操作頻率可達 26 GHz，且配有一個先進的鎖相迴路相位雜訊 FOM，其相位雜訊 FOM 為 -234 dBc/Hz。有時，在選擇 PLL IC 時要考慮的一個問題是在盡可能高的頻率上操作鑿相器，從倍增 $20\log N$ 到輸出頻率，最小化迴路中的雜訊。HMC440、HMC4069、HMC698 和 HMC699 採用的 PFD 的工作頻率高達 1.3 GHz。對於 VCO，2018 年選型指南列出了幾十個 VCO 選項，範圍從 2 GHz 到 26 GHz 不等。

對於直接採樣選項，ADC 和 DAC 均已發佈。產品支援在 L 頻段和 S 頻段直接採樣。ADC 具有更高的輸入頻率頻寬，支援 C 頻段直接採樣。AD9208 是一個雙通道 3 GSPS ADC，輸入頻率為 9 GHz，支援在上 Nyquist 區採樣。AD9213 是一個單通道 10 GSPS ADC，支持具有較大暫態頻寬的接收器。對於 DAC，AD917x 系列採用雙通道 12 GSPS DAC，AD916x 系列採用單通道 12 GSPS DAC，經過優化之後可實現更低的殘留相位雜訊和更好的 SFDR。兩個系列都支援 L 頻段和 S 頻段波形生成。

本文所提供的是入門指南。由於頻率更高、性能更好的新元件層出不窮，請參閱我們的網站 analog.com，或者聯繫各地業務支持團隊獲得最新的 IC 資訊。

結語

本文介紹了為採用分散式鎖相迴路的系統評估相位雜訊的方法。該方法的前提是：每個元件都可以透過其各自的雜訊、元件與系統輸出之間的雜訊傳遞函數、使用的數量以及元件之間的任何相關性來進行追蹤。所示的示例並不是要在對可用的元件或架構功能進行論斷。它們旨在說明一種方法，以說明設計人員在數字波束成形相位陣列中，對 LO 中的陣列級相位雜訊貢獻因素以及為分散式波形產

生器和接收器提供服務的時脈分佈網路進行有根據的評估。

參考文獻

- 1 Ulrich Rohde，《微波和無線頻率合成器：理論與設計》。Wiley，1995 年。
- 2 Floyd Gardner，《鎖相技術》。第三版，Wiley，2005 年。
- 3 Dean Banerjee，《PLL 性能、模擬和設計》，第四版。Dog Ear Publishing，2006 年 8 月。
- 4 Dan Wolaver，《鎖相迴路電路設計》。Prentice Hall，1991 年 2 月。
- 5 Avi Brillant。“瞭解鎖相 DRO 設計的各方各面。”Microwave Journal，2000 年 9 月。
- 6 Peter Delos，“鎖相迴路雜訊傳遞函數”。High Frequency Electronics，2016 年 1 月。
- 7 ADS PLL 示例。“PLL 相位雜訊”。Keysight 技術。
- 8 ADIsimPLL。ADI 公司
- 9 Ian Collins，“鎖相迴路 (PLL) 基本原理”。《類比對話》，2018 年 7 月。
- 10 E. Anthony Nelson，“相位陣列的雜訊考慮因素”。IEEE，Telesystems 會議，1991 年。
- 11 Heng-Chia Chang，“因應波束控制有源相控陣、帶有獨立振盪器的耦合鎖相迴路分析”。IEEE Transactions on Microwave Theory and Techniques，第 52 卷，第 3 期，2004 年 3 月。
- 12 Thomas Höhne 和 Ville Ranki，“波束合成過程中的相位雜訊”。IEEE Transactions on Wireless Communication，第 9 卷，第 12 期，2010 年 12 月。
- 13 Antonio Puglielli、Greg LaCaille、Ali Niknejad、Gregory Wright、Borivoje Nikolic、Elad Alon，“OFDM 多用戶波束合成陣列中的相位雜訊測量與追蹤”。IEEE ICC，無線通訊研討會，2016 年 5 月。