

資料編排支援人工智慧 (AI) 的下一步發展

■文：Achronix

從深度嵌入式系統到超大規模資料中心部署，人工智慧 (AI) 和機器學習 (ML) 技術正在為其中迅速擴展的一系列的產品和應用提供支援。儘管支援這些應用的硬體設計存在很大程度的差異，但都需要硬體加速。

深度學習技術需要大量的張量算數運算 (tensor arithmetic operation)。為了支援即時執行，記憶體和處理器的性能必須滿足比標準軟體驅動架構盡可能高得多的性能目標。這種需求導致去使用基於專用硬體加速器的設計，來執行並行化和高度流水線化的張量算數運算。為了避免通道阻塞，資料必須在合適的位置，合適的時間，以合適的格式出現。專用的資料編排硬體避免了加速器通道阻塞，從而支援以最高效率運行。

資料編排包括預處理和後處理操作，確保資料以最佳速度和最適合進行高效處理的格式傳輸到機器學習引擎中。操作範圍從資源管理和使用規劃，到 I/O 適配、轉碼、轉換和感測器融合，再到共用存儲陣列內的資料壓縮和重新排列。如何部署這些功能將取決於目標應用的性能和成本要求，但對於大多數應用場景而言，針對資料攝取、轉換和傳輸進行優化的可程式設計邏輯平臺為機器學習加速器提供了最佳的資料編排策略。

引言

深度學習給計算硬體帶來了巨大的壓力。向專用加速器的轉變為晶片技術提供了一種與人工智慧發展保持同步的方法，但這些單元本身並不能夠滿

足以更低的成本獲得更高性能的需求。

可以理解的是，積體電路 (IC) 供應商和系統公司一直專注於其矩陣和張量處理陣列的原始性能。在峰值輸送量下，這些架構可以輕鬆達到以每秒萬億次操作 (TOPS) 衡量的性能水準，即使對於旨在用於邊緣計算的系統也是如此。儘管可以理解，但如果由於資料不可用或需要為每個模型層轉換為正確的格式而導致延遲，那麼對峰值 TOPS 的關注會帶來硬體利用率不足的風險。

系統必須對網路和存儲延遲進行補償，並確保資料元素的格式和位置合適，同時以一致的速率傳入和傳出人工智慧加速器。資料編排提供了在每個時鐘週期上確保資料格式和位置合適的方法，從而最大限度地提高系統輸送量。

由於典型人工智慧實現的複雜性，所以無論是位於資料中心、邊緣計算環境還是即時嵌入式應用，如自動駕駛輔助系統 (ADAS) 設計，有許多任務必須由資料編排引擎處理，這些任務包括：

- 資料操作 (manipulation)
- 在多個向量單元之間進行調度和負載平衡
- 資料損壞的資料包檢查，例如由感測器故障造成的資料損壞

儘管可以通過向核心處理陣列添加資料控制和異常處理硬體來實現這些功能，但是由於可能需要的操作種類繁多，以及隨著人工智慧模型的發展對靈活性的需求也越來越高，這使得將這些功能硬連線到核心加速器晶片中可能成為一種昂貴的短期選擇。例如，在一些應用環境中，加密支持正迅速成為確保高資料安全性的需求，但根據每層資料的應

用敏感性，可能會使用不同級別的加密。固定架構解決方案存在著無法適應不斷變化的需求的風險。

一種可能的方法是使用一個可程式設計的微處理器來控制通過加速器的資料流程。這種方法的問題在於軟體執行根本無法滿足加速器硬體的需求。需要一個更加以硬體為中心的資料編排回應，這使得加速器設計完全專注於核心通道效率成為可能。外部資料編排可以處理所有的存儲和 I/O 管理，確保運算元和權重的傳輸不間斷。由於資料編排引擎必須處理應用程式和模型設計的修訂和更改，因此硬連線邏輯不是一種合適的方法。可程式設計邏輯支援修改，並避免了資料編排引擎無法更新的風險。

原則上，現場可程式設計邏輯閘陣列 (FPGA) 結合了分散式記憶體、算術單元和查閱資料表，從而提供了組合功能，該組合功能非常適合人工智慧驅動的應用程式所需的流資料即時重組、重新映射和記憶體管理。FPGA 支援創建定制的硬體電路，支援深度流水線化人工智慧加速器的密集資料流程，同時使使用者能夠根據需要改變實現方式以適應新的架構。然而，資料編排的性能要求需要新的 FPGA 設計方法。

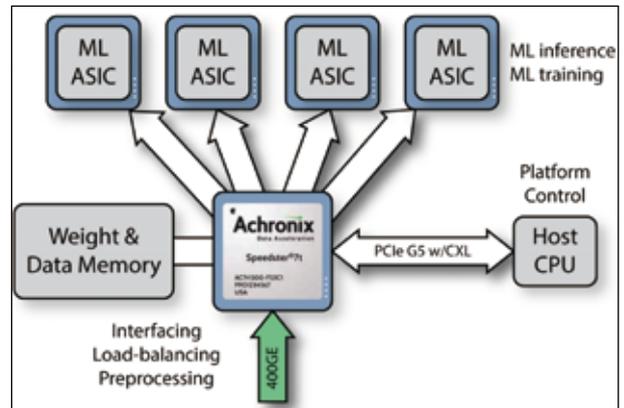
資料編排的應用場景

在資料中心、邊緣計算和嵌入式系統部署等應用場景中，有許多不同類型的資料編排架構。例如，在資料中心應用環境中，多個加速器可以部署在單個模型上，它們的資料輸送量由一個或多個資料編排引擎管理。

推理系統需要資料編排來確保每個工作引擎的最大效用，以避免瓶頸，並確保盡可能快地處理輸入的資料樣本。分散式訓練增加了對神經元權重快速更新的要求，這些更新必須儘快分配給處理相關模型部件的其他工作引擎，以避免停滯。

FPGA 中的資料編排邏輯支援處理廣泛的權重分配和同步協定，以支援高效的運行，同時減輕加速器本身的資料組織負擔。下圖展示了一種可能的實現方法，使用一個 FPGA 器件管理同一塊電路板

圖 1：資料編排可以為並行化的人工智慧實現應用快速地提供負載平衡和其他資料轉發功能



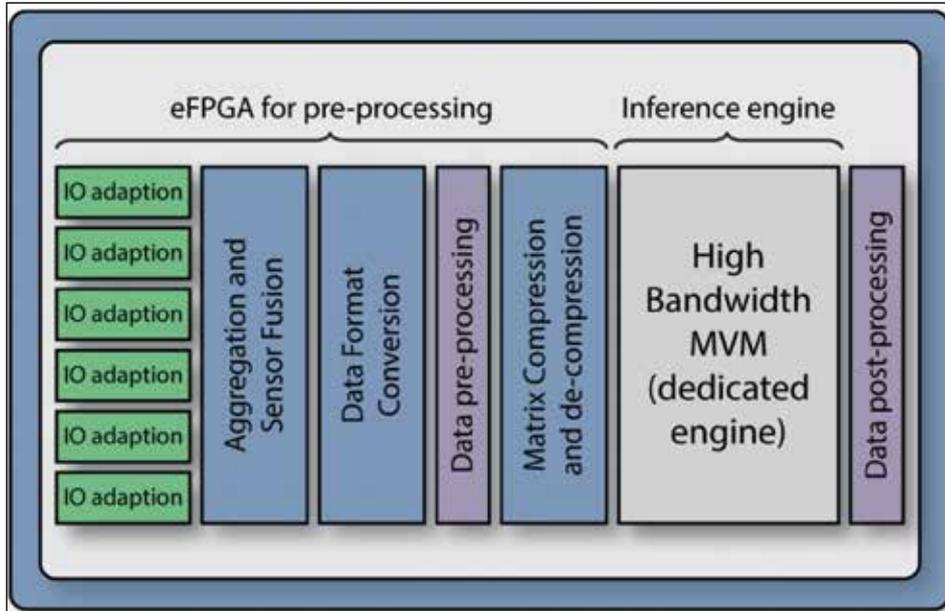
上的多個人工智慧引擎。使用一種合適的低雜訊通信協定，單個機器學習專用積體電路 (ASIC) 不需要存儲控制器。相反，資料編排引擎在本機存放區器中組織所有的權重和資料元素，並簡單地將它們以合適的順序傳輸到它所管理的每個 ASIC。其結果是通過減少重複的存儲和介面邏輯，以更低的總體成本獲得高性能。

利用資料編排，硬體可以在不增加成本的情況下進一步提高性能。一種選擇是利用網路或系統匯流排資料的壓縮，避免使用更昂貴的互連。FPGA 的邏輯層面可程式設計性支援通過網路介面對資料進行壓縮和解壓縮。資料編排硬體還支援使用前向糾錯協定來確保以全流水線速度傳輸有效資料。在大多數設計中，損壞事件通常很少發生，但是如果沒有外部的糾錯支持，那麼對於高度流水線化的加速器設計來說，恢復成本將會很高。

圖 2 展示了資料編排引擎可以通過多種方式優化資料流程和給機器學習引擎提供的呈現結果。例如，單個資料元素的格式和結構為利用資料編排的優勢提供了一個重要的機會，因為來源資料通常必須以一種適合深度神經網路 (DNN) 進行特徵提取的格式來表示。

在圖像識別和分類應用中，圖元資料通常被通道化，以便在通過提取形狀和其他高級資訊的池化層進行聚合結果之前，可以單獨處理每個顏色平面。通道化有助於識別邊緣和其他特徵，這些特徵可能不易於用組合的 RGB 標記法識別。在語音和語言

圖 2：資料編排為人工智慧功能加速提供了多種選擇



處理中會執行更廣泛的轉換。資料通常被映射成一種更容易被 DNN 處理的形式。由於不是直接處理 ASCII 或 Unicode 字元，而是將模型中要處理的詞和子詞轉換為向量和 one-hot 表示。類似地，語音資料可能不會以原始時域樣本的形式呈現，而是轉換為聯合時頻表示，從而使重要特徵更容易被早期 DNN 層識別。

儘管資料轉換可以通過人工智慧加速器中的算術內核來執行，但它可能不太適合張量引擎。重新格式化的性質使其適合由基於 FPGA 的模組進行處理。FPGA 能夠有效地以線速度進行轉換，而不會出現在通用處理器上運行軟體時所產生的延遲。

在涉及感測器的即時和嵌入式應用中，預處理資料可以帶來更多的好處。例如，雖然可以通過訓練 DNN 以消除雜訊和環境條件變化的影響，但使用前端信號處理對資料進行去噪或歸一化處理，可提高其可靠性。在汽車先進駕駛輔助系統 (ADAS) 實現中，攝像頭系統必須處理照明條件的變化。通常，通過使用亮度和對比度調整，可以利用感測器中高水準的動態範圍。FPGA 可以執行必要的操作，為 DNN 提供變化較少的圖元流。

感測器融合是 ADAS 設計日益重要的一個方面，有助於提高終端系統的性能。由於環境條件會

使單個感測器資料難以解讀，因此人工智慧模型必須有效地從眾多不同類型的感測器 (包括攝像頭、雷射雷達和雷達) 中獲取輸入。

格式轉換是至關重要的。例如，雷射雷達 (LIDAR) 為笛卡爾空間中的目標物體提供深度資訊，而雷達在極坐標系統上運行。許多模型通過將一個座標空間轉換為另一個座標空間，更容易地進行感測器融合。類似地，來自多個攝像頭的圖像資料必須拼接在一起，

並使用投影進行轉換，從而將最有用的資訊傳遞給人工智慧模型。

較低級別的轉換也同樣需要。汽車原始設備製造商 (OEM) 從不同的供應商那裡購買感測器模組，每個供應商都以自己的方式解讀連接通信標準。這需要一些功能來解析這些感測器通過車載網路發送的資料包，並將資料轉換為 DNN 可以處理的標準格式。出於安全考慮，模組也必須向 ADAS 單元進行身份驗證，在某些情況下，還要發送加密資料。資料編排晶片支援從人工智慧加速器引擎上卸載解密和格式轉換功能。

通過使用在資料編排子系統中實現的前端信號處理功能來去除不必要的資料，可以實現進一步的優化。例如，用於處理來自麥克風和其他一維感測器輸入的感測器，可以消除靜音時或低級背景時的噪音，並減少車輛靜止時傳送的視頻幀數量，從而減輕人工智慧引擎的負載。

一種針對資料編排而優化的架構

儘管 FPGA 內可配置互連和可程式設計邏輯的結合有助於資料編排任務，但 FPGA 架構則天生各不相同，它們如何處理對高頻寬資料的需求是關鍵。

傳統上，FPGA 並不被期望作為資料路徑的核心元素，而是主要為與存儲和 I/O 交互的處理器提供控制平面輔助。資料編排需要代表處理器和加速器去實現內核接收、轉換和管理資料元素，這給傳統的 FPGA 架構帶來了巨大的壓力。

為了支援資料編排的頻寬要求，傳統的 FPGA 需要極寬的匯流排來處理通過 PCI Express 和千兆乙太網介面的多個資料流程。例如，為了支援超過 400Gb/s 乙太網資料的傳輸，設計人員必須使用可程式設計的互連電路，來對大約 2048 位元寬的匯流排進行佈線，以可靠地滿足時序要求，這通常需要一個運行頻率為幾百兆赫茲的時鐘。由於這種大型結構的擁塞和時序收斂問題，這樣如此寬的互連是非常難以佈線的。互連可能會消耗數十萬個查閱資料表 (LUT)，因為它們是無法用於執行資料編排或格式轉換任務的。

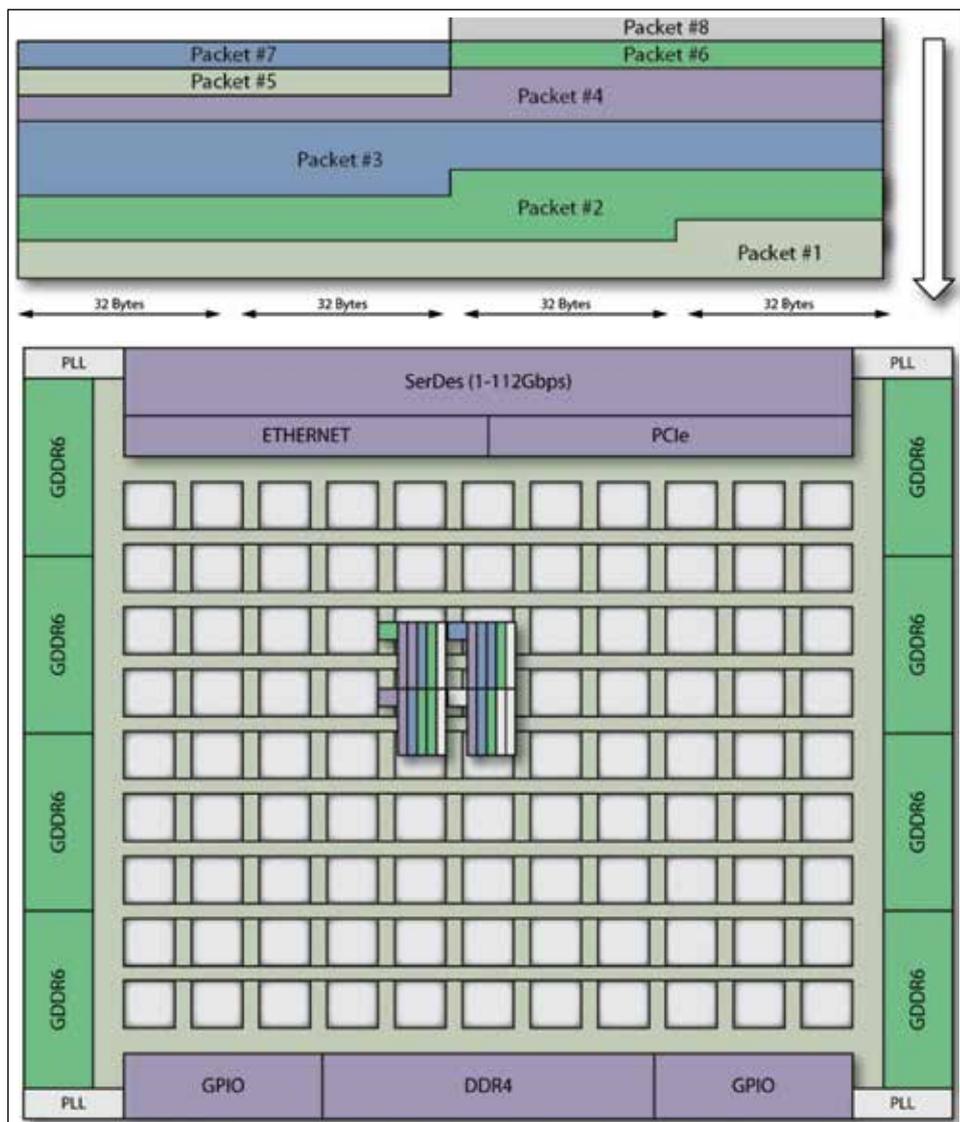
Achronix Speedster7t 系列 FPGA 器件克服了傳統 FPGA 所面臨的問題，其中部分原因是它採用了一種專用的二維片上網路 (2D NoC)，通過在網路的不同部分進行多個平行作業，這種互連可以實現高達 20Tb/s 的總頻寬。相對於 FPGA 架構互連，二維片上網路不僅在速度上有了巨大的提升，而且能夠在多個 PCIe Gen5、400Gbps 乙太網埠和 GDDR6 記憶體介面之間以更高的速率傳輸大量的資料，而不會消耗任何 FPGA 的可程式設計資源。

在 Speedster7t FPGA 器件中，片上網路在 FPGA

的整個表面提供了一個二維互連架構。它使用專用的網路接入點 (NAP) 將資料包發送到器件內任何位置的軟核。每個 NAP 通過行業標準的 AXI 埠結構提供對 FPGA 內可程式設計邏輯模組或硬體資源的訪問。東西向和南北向資料流程都有獨立的 NAP，為訪問二維片上網路的邏輯提供了額外的靈活性和性能。這種定向分割有助於優化在相同的二維片上網路路徑上開始和結束的傳輸延遲。在一個正交的二維片上網路路徑上走線會增加一個小的、確定性的延遲。

二維片上網路提供的一項重要功能是分組模式 (Packet Mode)，該模式旨在更容易地將到達高頻寬

圖 3：片上網路的分組模式支援將網路有效負載自動分配到架構的不同部分



埠 (如乙太網) 的資料重新排列為多個資料流程。分組模式可以分離到達速率為 200Gb/s 或 400Gb/s 乙太網埠的資料包，並將它們傳輸到不同的軟核。這種資料包分離如下圖所示，連續的資料包被分佈到 FPGA 的不同部分。因此，分組模式可以輕鬆創建負載平衡架構，而使用傳統 FPGA 是難以實現這樣的功能。

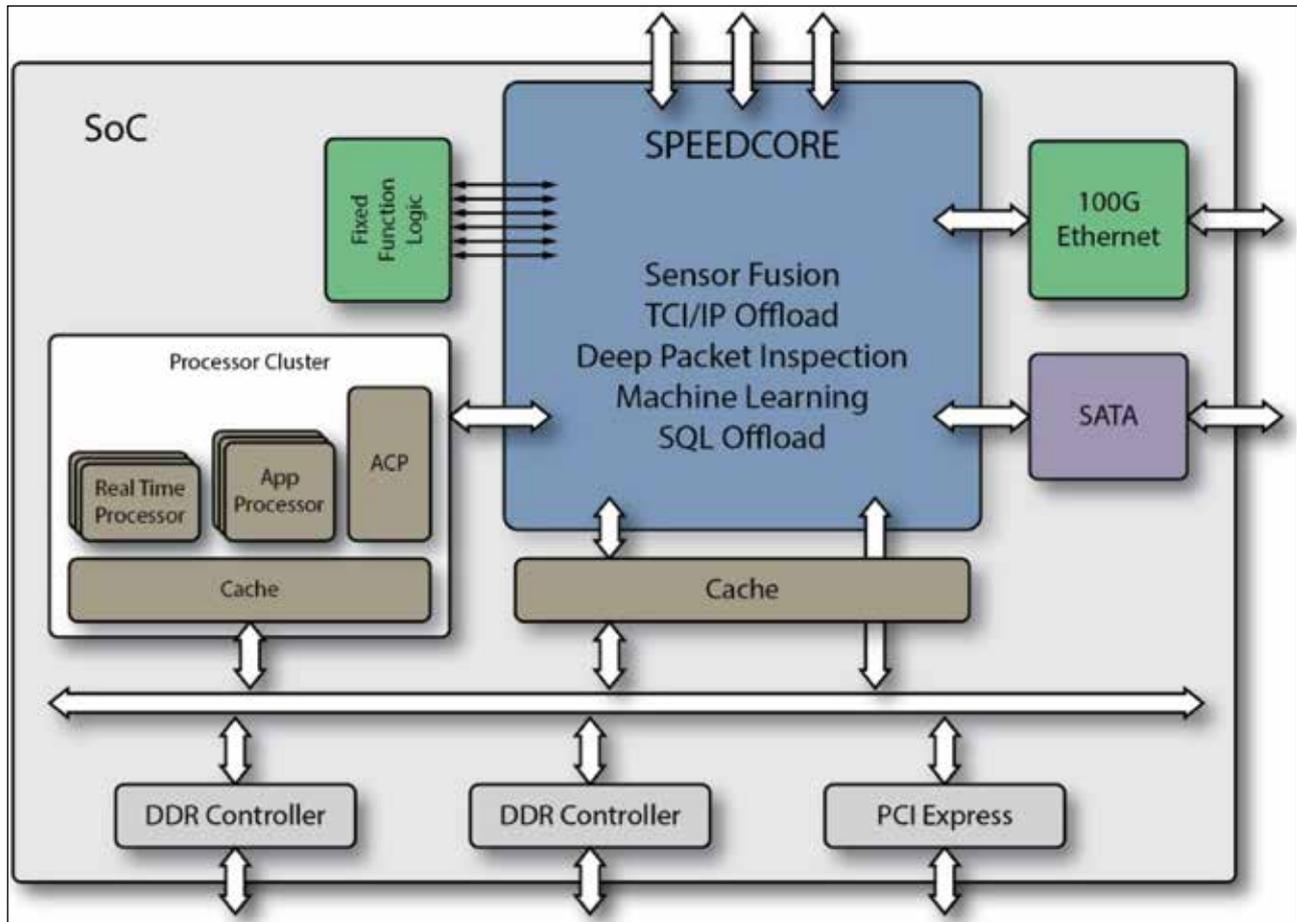
另一個好處是，二維片上網路更容易支援部分重新配置：二維陣列中的每個邏輯模組都能作為一個可隔離的資源，可以在不影響任何其他邏輯模組的情況下完成交換新功能。由二維片上網路和接入點控制器實現的虛擬化和轉換邏輯進一步增強了此功能。

位址轉換表的作用類似於微處理器中的存儲管理單元，以防止任務之間的資料相互干擾。接入點中的位址轉換表意味著每個軟核可以訪問相同的虛

擬位址範圍，但訪問外部物理存儲的範圍完全不同。訪問保護位提供了進一步的安全性，防止內核訪問受保護的位址範圍。在一系列基於人工智慧的應用中，這種級別的保護很可能變得極其重要。在這些應用中，資料編排和其他可程式設計邏輯功能在集成到最終產品之前由不同的團隊實現。

除了高度靈活的資料路由，資料編排還需要去應用快速算術功能來增強核心人工智慧加速器。Speedster7t FPGA 部署了一系列機器學習處理器 (MLP) 模組。每個 MLP 都是一個高度可配置的、計算密集型的模組，最多可配置 32 個乘法器，提供高達 60 TOPS 的性能。MLP 支援 4 到 24 位元的整數格式和各種浮點模式，包括直接支援 Tensorflow 的 bfloat16 格式和塊浮點 (BFP) 格式。周圍的可程式設計邏輯架構提供了多種方法來優化資料流程，以充分利用 MLP 提供的資料重用和輸送量機會。

圖 4：嵌入式 FPGA 技術能夠將資料編排集成到加速器晶片中



由於資料編排硬體需要適用於各種應用環境，因此對靈活部署有著明確的需求。資料中心應用可能需要使用一個或多個分立的、大容量器件（例如 Speedster7t FPGA 器件），來為單個電路板上或分佈在一個託盤或機架內的多個機器學習引擎路由和預處理資料流程。對於尺寸、功耗和成本是主要限制因素的邊緣計算應用來說，採用系統級晶片 (SoC) 解決方案存在明顯的爭論。

Achronix 是唯一一家能夠同時提供獨立 FPGA 晶片和嵌入式 FPGA (eFPGA) 半導體智慧財產權 (IP) 技術的公司，因此在支持成本降低計畫方面具有獨特的優勢，其中可程式設計邏輯和互連功能可以集成到一個 SoC 中，如圖 4 所示。Speedcore eFPGA IP 使用與 Speedster7t FPGA 相同的技術，支援從 Speedster7t FPGA 到集成 Speedcore 模組的 ASIC 的無縫轉換。當使用 Speedcore IP 將 Speedster7t FPGA 轉換為 ASIC 時，客戶有望降低高達 50% 的功耗和節省高達 90% 的單位成本。

另一種選擇是在多晶片模組中使用多晶片合封 chiplets。這在基於 FPGA 的合封的資料編排模組和機器學習引擎之間提供了高速互連的好處。Achronix 支援所有這些實現選項。

結論

深度學習的快速發展給大規模實現該技術所需的硬體架構帶來了巨大壓力。儘管由於意識到性能是一個絕對要求，因此業界高度關注峰值 TOPS 分數，但智慧資料編排和管理策略提供了一種用於交付高成本效益和高能效系統的方法。

資料編排包括許多預處理和後處理操作，確保了資料以最佳速度和最適合進行高效處理的格式傳輸到機器學習引擎。操作範圍從資源管理和使用規劃，到 I/O 適配、轉碼、轉換和感測器融合，再到共用存儲陣列內的資料壓縮和重新排列。一些編排引擎根據目的機器學習架構的核心需求使用這些功能的子集。

Achronix Speedster7t FPGA 架構為這些資料編排策略提供了高度靈活的平臺。這種 FPGA 具有高輸送量、低延遲和極高靈活性等特點，其資料傳輸形式可使即使是高度專業化的加速器也能去適應不斷變化的需求。此外，Speedster7t FPGA 廣泛的邏輯和算術能力加上高輸送量互連，使得前端信號調節和後端機器學習的整體設計能夠最大限度地提高整體效率。CTA

訊連 FaceMe eKYC 獲幣託採用打造全台首創數位實名驗證之加密貨幣交易所

訊連科技宣布，旗下 FaceMe Fintech eKYC 解決方案獲幣託採用，整合至幣託之加密貨幣交易服務中，快速進行數位實名身分驗證 (eKYC, Electronic Know Your Customer)。透過訊連 FaceMe 所提供的身分證真偽辨識、人臉辨識及比對，用戶可於使用幣託服務時，透過刷臉開戶及交易認證，可大幅提升用戶開戶及驗證速度，打造更加的使用者體驗。透過整合 FaceMe 技術，幣託成為全台第一家提供 eKYC 的合法加密貨幣交易所，為台灣金融科技 (Fintech) 應用樹立全新里程碑。幣託科技成立於 2014 年，是一家提供加密貨幣交易所平台的台灣企業，為全球行業信心評級前 50 大之加密貨幣交易平台，用戶可於幣託平台購買、儲存與交易加密貨幣。透過整合訊連 FaceMe Fintech 之 eKYC 解決方案，幣託開放用戶透過刷臉完成註冊，僅需於開戶驗證流程中，使用手機鏡頭掃描身分證之正、反面進行真偽辨識，並進行用戶之活體辨識及人臉比對，即可快速完成開戶流程，無需等待人工審核。而於後續交易時，也可透過刷臉方式進行交易認證，大幅提升開戶、交易之效率。

