

AI 改變半導體設計研發： 從單點工具到全流程智慧的進化

編輯部整理

近 1-2 年，半導體設計及軟硬體開發工具迎來革命性升級，核心變革圍繞 AI 技術的全流程滲透與工具架構重構展開，徹底打破傳統工具單點輔助的行業局限。這一變化不僅體現在技術層面的突破，更深刻影響著整個半導體產業的研究設計方法與商業模式。

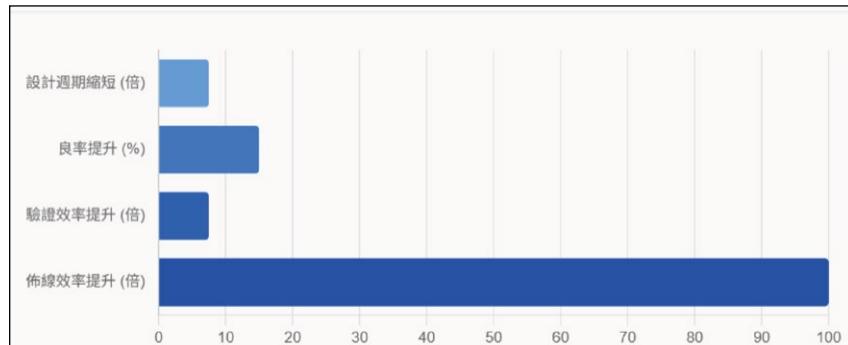
AI 驅動的設計流程自動化將設計週期縮短 30-50%，同時在不升級製程節點的情況下，可帶來高達 20% 的性能提升。Gartner 預測，2026 年全球 EDA 市場規模將達到 183 億美元，其中 AI 工具佔比超過 25%，貢獻約 46 億美元增量。

AI 正在深入半導體的核心領域

單點 AI 到全流程智慧體

全球三大 EDA 巨頭（新思科技、Cadence、西門子 EDA）均已完成多智慧體系統佈局，實現 AI 工具的自主決策、跨工具協同與全流程優化，全面替代傳統單一環節的 AI 輔助模式。這一轉變標誌著晶片設計

圖：AI 在 EDA 各環節提升效率



圖片來源：編輯部整理

工具從“輔助工具”向“自主設計夥伴”的質變。

新思科技 DSO.ai (Design Space Optimization AI) 自主設計系統是這一領域的標杆產品。該工具通過強化學習演算法，能夠自動搜索晶片設計空間、挖掘最優 PPA (功耗 / 性能 / 面積) 解決方案，大幅縮減人工工作業時長。根據新思科技官方披露的資料，DSO.ai 已助力全球客戶實現超過 100 次 AI 驅動的晶片商用投片，覆蓋從 5nm 到 28nm 的全製程節點，其中 3nm 及以下先進製程占比達 42%。客戶平均實現生產效率提升 3 倍以上、晶片總功耗降低 25%、晶片尺寸顯著縮小。

與此同時，大語言模型 (LLM) 通過 RAG (檢索增強生成) 技術與 EDA 工具深度融合，支援 RTL 代碼生成、設計規則查詢、工程日誌分析等自然語言交互場景，有效解放工程師的繁瑣文檔處理工作。生成式 AI 技術全面落地商用，可自動生成測試向量、佈局佈線建議、ECO (工程變更指令) 補丁。例如，西門子 Calibre Vision AI 可自動識別晶片設計違規點，Cadence Conformal AI Studio 可自動生成 ECO 補丁，進一步提升設計效率與準確性。

2025 年 3 月，新思科技在其年度 SNUG 大會上推出了 AgentEngineer 技術，這

圖：結合人工智慧與機器學習 (AI/ML) 能力，Conformal AI Studio 直接滿足現代 SoC 團隊日益增長的生產力需求。



圖片 : Cadence

是 AI 在晶片設計領域的又一重大突破。新思科技總裁兼首席執行官 **Sassine Ghazi** 在大會上表示：“這些 AI 驅動的電腦系統極其複雜且難以設計。如今的工程師不僅面臨著這種複雜性帶來的巨大壓力，還面臨著緊迫的期限和成本限制。”**AgentEngineer** 技術利用 AI 驅動的“智慧體”，可以根據人類指令執行特定的晶片設計任務。短期內，這些智慧體將協助完成電路設計驗證等任務；隨著時間的推移，新思科技設想它們將在管理複雜系統設計方面發揮更大作用，確保產品及時交付。

工具架構與製程適配能力升級

AI-EDA 工具的架構升級主要體現在以下幾個方向：

安全 AI 平臺方面，採用

端到端加密技術，支持本地與雲端混合部署模式，完全符合半導體行業嚴格的資料隱私與安全要求，雲原生部署已成為行業主流趨勢。代表產品包括西門子 EDA AI System 和新思 **Synopsys.ai** 安全框架。

跨層協同優化方面，打通 RTL 到 GDSII 全設計流程，實現 PPA 全域最優，有效解決傳統串列設計流程中的局部優化瓶頸，提升整體設計品質。代表產品包括新思 DSO.ai、Cadence Innovus AI、西門子 Aprisa AI。

Chiplet/3D IC 專項優化方面，依託 AI 技術優化晶片間互連設計、熱分析與信號完整性，精准適配先進封裝技術的發展需求，降低 Chiplet 集成風險。代表產品包括是德科技 ADS AI 等。

先進製程適配方面，針對

3nm 及以下先進製程節點，重點優化設計複雜度、PPA 權衡與良率風險管控，成為 AI EDA 工具的核心競爭力。新思 DSO.ai 已推出 3nm 專項優化版本，楷登 Innovus AI 同樣針對先進製程進行了深度適配。

關鍵技術突破

物理資訊神經網路 (PINN) 是近年來 AI-EDA 領域的重要技術突破。該技術大幅提升類比 / 混合信號晶片的設計精度，可減少 90% 以上的 SPICE 模擬次數，助力模擬 IC 設計效率翻倍，目前已廣泛應用於半導體器件建模與性能預測場景。

量子機器學習聚焦超大規模晶片設計空間的壓縮優化，在 1000 量子比特模擬場景中可實現 98% 的壓縮率，為超大型積體電路設計提供核心技術支撐。IBM 半導體研究副總裁 **Dario Gil** 在 2025 年國際半導體大會上表示，量子與 AI 的融合將是後摩爾時代的核心技術突破口。

XAI (可解釋 AI) 有效解決 AI 工具的“黑盒”痛點，可提供設計決策的完整推理路徑，顯著增強工程師對 AI 工具的信任度，適配半導體設計高可靠性、可追溯的行業要求。西門子 EDA 總裁 **Joerg Bertschinger** 在 2024 年 12 月行業峰會上強調：“半導體設計的高可靠性要求，決定了 XAI 不是‘可選

功能’而是‘必備能力’。”

強化學習融合以新思 DSO.ai 為典型代表，通過強化學習演算法在極大設計空間中精准優化 PPA，說明客戶實現生產效率 3 倍以上提升、晶片總功耗降低 25% 的核心目標。

2025 年 AI 參與了相當多晶片與電路的設計和研發

近 1-2 年，AI 驅動的半導體設計工具已實現規模化商用，全球多個頭部半導體企業的落地案例，充分驗證了其在提升效率、優化性能、降低成本等方面的核心價值。以下為權威企業披露的代表性案例：

新思科技 DSO.ai：規模化商用里程碑

新思科技官方披露，其 DSO.ai 自主設計系統已助力全球客戶完成超過 100 次 AI 驅動的晶片商用投片，覆蓋消費電子、汽車電子、工業半導體等各類應用場景與先進製程節點。該工具通過強化學習演算法自動執行繁瑣的設計任務，大規模擴展設計空間的探索範圍，客戶平均實現生產效率提升 3 倍以上、晶片總功耗降低 25%、晶片尺寸顯著縮小，大幅縮短產品上市週期，構建核心市場競爭力。

2025 年 12 月，新思科技

與 NVIDIA 宣佈擴大戰略合作關係，NVIDIA 向新思科技投資 20 億美元。雙方將在晶片設計、物理驗證、分子類比和電磁分析等領域展開多年合作。新思科技總裁兼首席執行官 Sassine Ghazi 表示：“沒有兩家公司比新思科技和 NVIDIA 更有能力提供 AI 驅動的整體系統設計解決方案。我們將共同重新設計工程領域，賦能全球創新者更高效地實現他們的創新。”

台積電：AI 驅動 3nm 製程良率提升

台積電在 3nm 製程良率提升方面，AI 智慧體發揮了關鍵作用。台積電與 Synopsys 合作，利用 AI 智慧體分析大量光刻實驗資料，預測最優光刻參數組合。這一過程將原本需要數百次實驗的參數優化減少到幾十次，顯著縮短了製程開發週期。

根據 SemiWiki 報導，AI 驅動的設計工具為台積電帶來顯著效益。Synopsys 的 DSO.

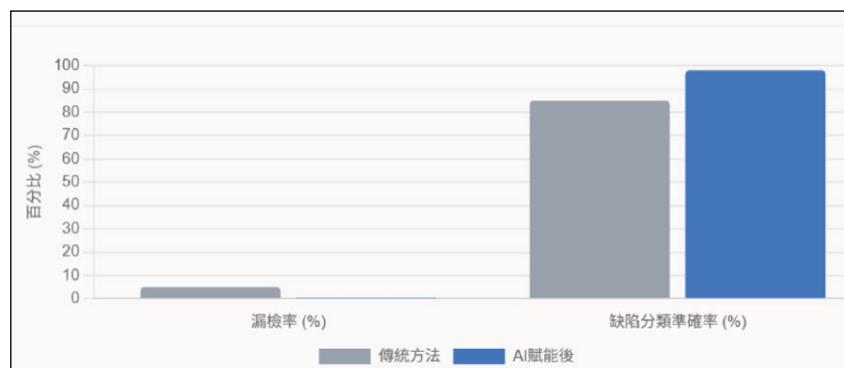
AI 通過強化學習進行 PPA 優化，在 APR 流程中提升能效 5%，在金屬堆疊中提升 2%，總計提升 7%。對於模擬設計，與台積電 API 集成後可實現 20% 的能效提升和更緊湊的佈局。AI 助手通過自然語言查詢加速分析 5-10 倍。

台積電研發副總裁 Kevin Zhang 在 2025 年 Q2 技術研討會上表示：“AI+DTCO 將是 2nm 及以下製程的核心競爭力。台積電已與三大 EDA 巨頭深度合作，將製程資料與 AI 設計工具即時聯動，目前已將 5nm 晶片首矽成功率提升至 92%，2027 年將實現 95% 的目標。”

ASML 借助 AI 提升良率

ASML 的 eScan 1100 電子束檢測系統結合 AI 演算法，實現了對晶圓表面形貌、內部缺陷及成分的納米級分析，輸送量提升至傳統單束系統的 10 倍以上。該系統能夠實時檢測並預測缺陷，幫助台積電 3nm

圖：AI 使得製造環節的效能提升



圖片來源：編輯部整理

良率提升 15%，缺陷密度降低 30%。ASML 研究員 Arie den Boef 表示：“AI 使我們能夠從海量數據中提取有價值的資訊，實現製程的精準控制。”

此外，Cadence 與 ASML 合作開發的 AI 驅動良率監控系統，能夠通過自監督學習檢測製造過程中的異常，將漏檢率從 5% 降低至 0.5% 以下。該系統已在台積電 3nm 產線部署，幫助晶圓廠在製造過程中及時發現問題並調整參數，大幅縮短了良率爬坡週期。

NVIDIA：自研 AI 工具支撐 GPU 快速反覆運算

NVIDIA 對性推出 NVCell 佈局佈線工具，依託強化學習演算法將 GPU 設計效率提升 3 倍，有效解決 CUDA 核心密集佈局帶來的佈線擁塞問題，成功支撐 H100、H200 系列 GPU 的快速反覆運算升級，形成“AI 設計工具 – 晶片研發 – 終端應用”的閉環優勢，進一步鞏固其在 AI 晶片領域的全球

領先地位。

NVIDIA 創始人兼 CEO 黃仁勳在 2025 年 GTC 大會上表示：“晶片設計是人類歷史上最複雜的工程挑戰之一。借助 NVIDIA Blackwell 和 CUDA-X，新思科技將模擬時間從數天縮短到數小時——推動晶片設計為 AI 革命提供動力。”

Google：強化學習優化 TPU 晶片設計

Google 工程師使用強化學習系統來安排其 Tensor Processing Unit (TPU) 晶片中數十億個微小電晶體。該系統在六小時內生成了設計，而通常需要數周時間。研究人員將其系統的輸出與人工團隊設計的現有 TPU 進行了比較。他們的方法在極短的時間內完成了任務，在晶片面積、線長和功耗方面與人工團隊相當或更優。

Google 的研究表明，AI 驅動的晶片設計可以降低定制晶片的成本，從而導致各種用途

的專用處理器爆炸式增長。這一突破發表在《自然》雜誌上，標誌著 AI 在晶片設計領域的里程碑式進展。

Danfoss：PCB 設計 AI 賦能能源產品升級

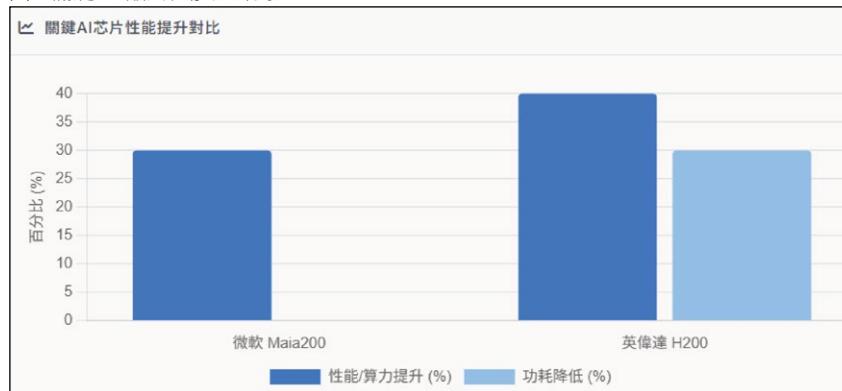
Danfoss 採用 Cadence Allegro X AI 工具，對其能源效率類產品的 PCB 設計進行全面優化。通過 AI 技術實現元件佈局優化、線路連接縮短、去耦策略升級，有效提升 PCB 板的信號完整性、降低電磁雜訊，使電源網路更穩健，精准適配工業能源產品高可靠性、高穩定性的核心需求。

Danfoss 高級 ECAD 工程師 Bo Kroman 表示：“我的第一次嘗試就得到了一個非常不錯的佈局。可以說不需要太多修改。系統塊周圍有一些簡單的東西需要修正，但僅此而已。”

Danfoss CAD 與 CAE 首席顧問 Torsten Larsen 表示：“促使我們探索 Allegro X AI 的原因，是它幫助我們在大型 IC 周圍做出非常好的佈局決策，讓元件非常靠近，對層進行去耦。這一點也非常重要，這樣我們整個板的雜訊就會降低。”

通過配置 Allegro X AI 的指導原則，Danfoss 能夠快速生成元件佈局，只需對系統塊進行最小修改。這種方法不僅加速了 PCB 佈局，還改善了信號

圖：關鍵 AI 晶片性能提升對比



圖片來源：編輯部整理

完整性和電源完整性。

Cadence Cerebrus : AI 驅動設計效率突破

Cadence 的 **Cerebrus AI Studio** 在 2025 年取得了顯著的市場成功。根據 **Cadence** 官方資料，**Cerebrus** 在 2025 年第一季度 alone 就實現了超過 1000 次投片，並吸引了 50 多個新客戶。該工具實現了 4 倍的生產力提升和 22% 的 PPA (功耗、性能、面積) 改進。

Cadence 總裁兼首席執行官 Anirudh Devgan 在 2025 年第三季度財報電話會議中詳細介紹了公司的“AI for design”戰略，**Verisium SimAI** 在邏輯模擬效率方面實現 5-10 倍改進，**Cerebrus AI Studio** 實現 4 倍生產力提升和 22% 的 PPA 增強。他指出：“AI 是晶片設計下一個 10 倍自動化的關鍵，對於指數級的工作負載增長至關重要。”

圖：**Cadence Cerebrus AI Studio** 是一款先進的 SoC 代理式 AI 設計實作工具，能協助達成功耗、效能與面積 (PPA) 目標，並縮短高度複雜晶片的周轉時間 (TAT)。



圖片：**Cadence**

Devgan 還強調了 AI 工具採用正成為標準，雖然產生業績需要時間 (通常需要兩個合同週期)，但 AI 對於管理指數級晶片設計複雜性所需的下一個 10 倍自動化至關重要。

技術發展趨勢

結合 **Precedence Research**、**Mordor Intelligence** 等權威機構的預測資料，未來 5 年 (2026-2030)，半導體 AI 設計工具將向高自主化、跨領域融合、生態協同三大方向演進，同時深度適配後摩爾時代的製程升級與架構創新需求。

智能分級演進

借鑑自動駕駛等級的概念，AI-EDA 工具的智慧水準將呈現清晰的演進路徑：

■ **L3 半自主 (2026-2027)**：多智慧體協同工作，可自動完成特定模組 (如類比 IC、Chiplet 互連) 的全流程設計，

需工程師進行全程監督與異常修正，確保設計合規性。

■ **L4 高度自主 (2028-2029)**：晶片設計全流程自動執行，工程師僅需設定核心設計目標 (PPA、製程節點、應用場景)，僅在出現異常情況時介入處理；AI 與 DTCO (設計技術協同優化) 深度融合，實現設計與製造環節的無縫銜接。

■ **L5 完全自主 (2030+)**：實現“晶片自動駕駛”，工程師僅輸入產品規格要求，即可自動生成完整晶片 (從架構設計到 GDSII 檔輸出)，實現零人工幹預；可完美適配 3nm 以下先進製程與非傳統晶片架構。

Cadence CEO Anirudh Devgan 在 2025 年行業峰會上給出明確預判：“L3 半自主 AI-EDA 工具將在 2026 年底實現規模化商用，主要適配類比 IC 和 Chiplet 模組設計；L4 高度自主工具的落地將依賴於 AI+DTCO 的深度融合，我們預計 2028 年將推出首款全流程自主設計平臺。”

核心技術發展方向

跨製程知識遷移：AI 模型可自動適配 28nm 到 2nm 的不同製程節點，無需重複訓練，減少 70% 以上的設計重訓練成本，重點支撐 3nm 及以下先進製程節點的規模化應用。

AI+DTCO (設計技術協同優化)：通過 AI 技術早期預測製程波動對晶片設計的影響，實現設計與製造環節的無縫銜接，將晶片首矽成功率提升至 95% 以上，成為先進製程設計的核心支撐技術。

神經符號系統：融合神經網路與符號邏輯技術，徹底解決 AI 工具的“幻覺”問題，在時序分析、良率預測等核心場景中實現 100% 精確預測，完全適配半導體設計高可靠性、高精准度的行業要求。

量子 +AI 融合：依託量子計算的超強算力，結合 AI 演算法處理超大規模晶片設計空間，為後摩爾時代的晶片設計(如存內計算、神經形態晶片)提供全新技術範式，助力突破傳統架構的性能瓶頸。

多領域 AI 融合：將 AI 技術延伸至半導體材料發現、器件設計、測試驗證等全產業鏈環節，實現從前端設計到後端製造、從硬體研發到軟體適配的全鏈條智慧優化。

先進封裝技術的 AI 賦能

先進封裝已成為後摩爾時代突破算力瓶頸的核心路徑，AI 技術正加速這一領域的創新。根據 Yole Group 發佈的《2025 年先進封裝市場報告》，全球先進封裝市場規模預計將從 2024 年的 460 億美元增長至 2030 年的 794 億美元，年

複合增長率達 9.5%。其中，2.5D/3D 封裝以 21.71% 的 CAGR 成為增長最快的技術路徑。

台積電聯合 Synopsys 和 ANSYS 開發的 AI 協同優化系統，將 CoWoS 封裝的微凸塊間距從 45μm 縮小到 25μm，使 2.5D 封裝的能效相較前代提升 1.6 倍。同時，AI 工具還優化了 HBM I/O 電壓，從 1.1V 降至 0.75V，進一步節省記憶體訪問功耗。

台積電採用 AI 工具優化 3D SoIC 技術，通過垂直堆疊實現能效相比 2.5D 方案提高 6.7 倍。AI 優化從 Synopsys/ANSYS 通過協同設計進一步增強 1.2 倍。

台積電與 Cadence 合作開發的共封裝光學 (Co-Packaged Optics) 技術，通過矽光子實現晶片間通信，能效提高 5-10 倍，延遲降低 10-20 倍，並顯著縮小系統尺寸。Meta 平臺基礎架構工程師 Kaushik Veeraraghavan 在論壇演講中指出：“當前電子互連已逼近極限，引入光學技術勢在必行，這已不單是工程問題，更是基礎物理瓶頸。”

新型材料研發的 AI 加速

AI 技術正加速新型半導體材料的研發進程，推動材料創新進入快車道。碳化矽 (SiC) 與氮化鎵 (GaN) 作為第三代

半導體材料，在高壓、高頻場景展現出獨特優勢。根據 Yole Group 資料，2024 年 GaN 功率器件市場規模達 3.55 億美元，預計到 2030 年將成長至約 30 億美元，年複合增長率達到 42%。

Yole Group 技術與市場分析師 Roy Dagher 表示：“功率 GaN 正從承諾轉向生產現實。在 Yole Group，我們看到所有終端市場都在加速。其效率、緊湊性和性能優勢使其成為未來十年電力電子的關鍵技術。”

資料中心是 GaN 的黃金之路。AI 計算和資料流程量的爆炸式增長正在改變資料中心電源架構。2025 年，NVIDIA 新的資料中心架構公告催化了一波與領先功率半導體製造商的合作浪潮，包括德州儀器、Navitas、英飛凌科技、英諾賽科和安森美，目標是將 GaN 器件集成到 800V HVDC 電源系統中。Yole Group 預計首次大規模商業推廣將在 2027 年左右。

氧化鎵 (Ga_2O_3) 作為超寬禁帶半導體材料，其禁帶寬度達 4.8-4.9eV，是碳化矽的 1.5 倍，能量損耗只有碳化矽的七分之一、矽材料的四十九分之一，為 AI 晶片的能效提升帶來新可能。日本 NCT 和中國鎵仁半導體 (Hangzhou GAREN Semiconductor) 在氧化鎵晶圓

尺寸上取得突破，NCT 於 2021 年推出全球首個 4 英寸氧化鎵晶圓，鎵仁半導體于 2025 年成功製備 8 英寸氧化鎵晶圓襯底。

對工作人員提出了新的要求

AI 技術在半導體設計工具中的深度滲透，正推動產業工作人員從“操作型”向“協同決策型”轉型，無論是技能結構還是思維模式，都需實現全方位升級，才能適配產業變革需求。

技能結構轉型

AI 時代對半導體工程師的技能要求發生了根本性變化。傳統核心技能如手動 RTL 編碼、佈局調整等基礎操作，正逐步被 AI 工具替代；取而代之的是提示工程 (Prompt Engineering)、AI 模型微調、智慧體協作管理能力等新增核心技能，工程師需要能夠高效駕馭 AI 設計工具完成核心工作。

從單點工具操作與局部優化，轉向全流程系統思維、跨工具協同優化能力、AI 設計結果驗證能力，聚焦晶片 PPA 全域最優目標。從經驗驅動的設計決策，轉向資料驅動分析能力、AI 輔助風險評估能力、設計空間高效探索能力，結合行業經驗與資料提升決策準確性。

從專注硬體實現細節，轉向軟硬體協同設計能力、AI 演算法與晶片架構協同優化能力，同時掌握 AI 模型特性與半導體製程知識。從單一領域 (設計 / 驗證 / 製造) 深耕，轉向跨領域知識儲備 (如設計 + 製造、硬體 +AI 演算法)，適配全鏈條智慧優化的產業需求。

Cadence 高級副總裁兼首席財務官 John Wall 在 2025 年第三季度財報電話會議中強調：“AI 工具的使用正在改變工程師的工作方式。我們的 Verisium SimAI 工具使客戶驗證輸送量提升 5-10 倍，這不僅提高了設計效率，也改變了工程師的技能要求——他們需要從傳統的設計細節處理轉向更高層次的系統優化。”

思維模式升級

從“執行者”到“決策者”：將繁瑣的設計、驗證等基礎細節工作交給 AI 工具處理，自身聚焦晶片架構創新、系統級優化與核心設計目標設定，提升核心價值。

從“局部優化”到“全域最優”：跳出單一設計環節的局限，聚焦 PPA、成本、良率、上市時間的綜合平衡，借助 AI 工具實現全流程優化，提升產品市場競爭力。

從“被動使用工具”到“主動訓練工具”：掌握 AI 模型的基礎訓練方法，結合自身行業

經驗，定制適合特定設計需求的 AI 智慧體與優化策略，提升工作效率。

從“經驗依賴”到“資料與經驗結合”：重視晶片設計資料、製程資料的積累與分析，利用 AI 工具挖掘資料核心價值，打破傳統經驗的局限，提升設計創新性與準確性。

人才短缺的結構性挑戰

根據歐洲半導體技能戰略 2025 年度報告，歐洲半導體行業面臨顯著的結構性人才缺口。報告指出，到 2030 年，歐洲半導體行業預計平均每年短缺約 10,800 名熟練工人。這一結構性失衡的主要驅動因素是：30% 的現有勞動力預計在 2023 年至 2030 年間退休，而半導體相關領域的畢業生數量每年增長不到 1%。

報告強調，需要教育、產業和政府之間的協調行動來解決人才短缺問題，保障歐洲的半導體競爭力。這一挑戰在全球範圍內普遍存在，AI 工具的引入既是應對人才短缺的手段，也對從業人員的技能轉型提出了更高要求。

市場前景

結合 Precedence Research、Mordor Intelligence 等權威機構的預測資料，AI 驅動的半導體設計工具市場將保持高速增長態勢，成為全球

EDA 行業的核心增長引擎，市場發展前景廣闊。

市場規模預測

根據 Mordor Intelligence 最新資料，全球 EDA 工具市場規模在 2026 年預計達到 207.8 億美元，從 2025 年的 192.2 億美元增長，2031 年預計達到 306.7 億美元，2026-2031 年複合年增長率 (CAGR) 約為 8.1%。這一增長前景建立在更快的電晶體縮放、AI-enabled 設計流程以及更緊密的晶圓廠 - 工具協作之上。

Precedence Research 資料顯示，全球電子設計自動化軟體市場規模在 2025 年估計為 58.2 億美元，預計到 2035 年將達到約 141.0 億美元，2026-2035 年複合年增長率為 9.25%。

雲 EDA 市場呈現快速增長態勢。Precedence Research 資料顯示，全球雲 EDA 市場規模在 2025 年估值為 41.8 億美元，預計到 2034 年將達到約 75.2 億美元，2025-2034 年複合年增長率為 6.74%。北美在 2024 年以 38.7% 的份額主導雲 EDA 市場，亞太地區預計將在未來幾年以最快的複合年增長率增長。

AI 驅動 EDA 工具占比從 2023 年的 25% 快速提升，預計 2026 年將達到 60%，2030 年超過 90%，成為 EDA 市場

的絕對主流產品，替代傳統非 AI 設計工具。

競爭格局變化

三大巨頭主導格局延續：新思科技、Cadence、西門子 EDA 佔據全球 EDA 市場 85% 以上的份額，AI 研發投入持續加大，憑藉深厚的技術積累與完善的生態佈局，持續領跑 AI-EDA 領域，短期內難以被超越。

2025 年 7 月，新思科技完成了對 Ansys 的 350 億美元收購，創建了從矽設計到完整系統模擬的單一工程軟體公司。新思科技總裁兼首席執行官 Sassine Ghazi 表示：“今天標誌著新思科技的轉型里程碑。幾十年來，新思科技一直在矽設計和 IP 領域提供突破性創新，推動晶片創新。開發智慧系統日益增長的複雜性需要更深層次的電子與物理集成設計解決方案，並由 AI 增強。隨著 Ansys 領先的系統模擬和分析解決方案成為新思科技的一部分，我們可以更廣泛地最大化工程團隊的能力，點燃他們從矽到系統的創新。”

AI 晶片廠商自研突圍：NVIDIA、Google、AMD 等全球頭部 AI 晶片廠商，紛紛推出專屬 AI 設計工具，形成“AI 設計工具 - 晶片研發 - 終端應用”的閉環生態，既提升自身晶片設計效率，也逐步向行業開放部分工具能力，搶佔細分市場

份額。

新興創業公司聚焦細分：各類新興創業公司避開三大巨頭的優勢領域，聚焦模擬 IC AI 設計、Chiplet AI 優化、良率預測等細分賽道，快速反覆運算創新，依託差異化優勢搶佔細分市場，豐富行業競爭格局。

Foundry 參與度提升：全球頭部晶圓廠 (Foundry) 成為 AI-EDA 工具的核心需求方與重要推動者，通過投資、戰略合作等方式深度參與 AI-EDA 工具研發，主導 3nm 及以下先進製程節點的工具適配方向，提升自身製程競爭力。

增長驅動因素

先進製程複雜度激增：3nm 及以下製程節點的晶片設計變數呈爆炸式增長，傳統人工設計模式已難以滿足效率與精度要求，AI 工具成為先進製程設計的必然選擇，持續推動市場需求提升。

AI 技術突破賦能：生成式 AI、大語言模型、強化學習等 AI 技術的持續成熟，大幅提升 AI-EDA 工具的實用性與適配性，加速其規模化商用落地，拓寬市場應用場景。

人才短缺倒逼升級：全球半導體設計人才缺口超過 50 萬，AI 工具可有效替代部分重複性勞動，緩解人才短缺壓力，同時降低企業人力成本，成為企業降本增效的核心手段，推

動企業加大 AI 工具投入。

新架構與新應用驅動：Chiplet、3D IC 等新型晶片架構興起，AI、HPC、汽車電子等下游應用需求激增，推動 AI-EDA 工具向專項化、全流程化升級，進一步拓展市場空間。

未來半導體軟硬體研發的核心變化

AI 駆動的半導體設計工具變革，將從根本上重構半導體軟硬體研發的範式、效率與創新邊界。

設計方式徹底重構

從“經驗驅動”到“資料驅動”：AI 工具將全面分析海量晶片設計資料與製程資料，挖掘人類工程師難以察覺的優化空間，推動晶片設計決策更科學、更精准，徹底打破傳統經驗依賴的局限，提升設計創新生性。

從“串列流程”到“並行協同”：多 AI 智慧體將實現同步工作，分別處理前端設計、後端佈局、驗證測試等不同設計環節，打破傳統串列設計流程的瓶頸，將晶片設計週期從 18-24 個月縮短至 6-9 個月，大幅提升研發效率。

從“硬體優先”到“軟硬體協同”：AI 駆動的協同設計平臺將實現晶片架構與軟體棧（如 AI 演算法、驅動程式）的同步優化，提升系統整體性能

30% 以上，精准適配 AI、HPC 等下游應用的軟硬體協同需求。

從“標準化設計”到“定制化民主化”：AI 工具將大幅降低晶片設計門檻，小型企業、科研機構無需龐大的研發團隊，即可快速設計專用晶片，推動定制化晶片的普及，豐富晶片產品品類，滿足多樣化的下游應用需求。

研發效率與成本實現跨越式優化

設計收斂速度大幅提升：AI 工具將 PPA 收斂時間從數周縮短至數天，晶片設計反覆運算次數減少 80%，大幅縮短產品上市週期，說明企業搶佔市場先機。

驗證週期顯著縮短：AI 工具可自動生成測試向量、模擬各類測試場景，將晶片驗證覆蓋率提升至 99.9%，驗證時間縮短 70%，有效降低驗證成本與研發風險。

研發成本大幅降低：AI 工具可使晶片設計成本減少 30-50%，尤其在 3nm 及以下先進製程節點，AI 工具的投資回報期可縮短至 3 個月內，有效緩解先進製程研發的高成本壓力。

良率管控行能力提升：AI+DTCO 技術將實現設計與製造環節的無縫銜接，早期預測並規避良率風險，使先進節點

晶片的良率提升 10-15%，降低晶片製造成本，提升企業盈利能力。

創新邊界大幅拓展

後摩爾時代突破：AI 工具將助力工程師設計存內計算、神經形態晶片、光子晶片等非傳統架構晶片，突破傳統 CMOS 製程的性能瓶頸，延續半導體產業的性能提升曲線。

AI 優化 AI 閉環形成：AI 設計工具研發的高算力 AI 晶片，將反過來加速 AI 模型的訓練效率，形成“AI 設計工具 - 高算力晶片 - AI 模型升級”的正回饋迴圈，推動算力與 AI 技術的指數級增長。

全鏈條創新協同：AI 技術將全面滲透到半導體材料發現、器件設計、晶片研發、封裝測試等全產業鏈環節，推動跨領域創新融合，誕生新的技術路線、產品形態與商業模式。

生態系統重構

AI 駆動 IP 複用：通過 AI 智慧體自動識別最優 IP 組合，高效匹配設計需求，加速 SoC 晶片設計流程，降低 30% 以上的 IP 授權成本，推動定制化晶片設計的民主化發展。

多廠商工具協同：通過標準化 AI 介面建設，實現不同 EDA 廠商工具間的智慧體互通，打破三大 EDA 巨頭的工具壁壘，提升全行業的晶片設計

效率。

開源 AI EDA 興起：以 RISC-V 社區為核心，推動開源 AI 輔助設計工具的研發與普及，降低創業公司、科研機構的晶片設計門檻，豐富行業生態多樣性。日本 RISC-V 協會正在通過 OpenROAD 等開源 EDA 工具推進晶片設計教育和小規模 SoC 設計。

Foundry 主導的工具適配：全球頭部晶圓廠 (Foundry) 加大 AI-EDA 工具的研發投入，推動 EDA 工具與製程開發套件 (PDKs) 深度集成，主導 3nm 及以下先進製程節點的工具生態建設方向。

總結

AI 正從根本上重塑半導體晶片設計及軟硬體研發流程，推動 AI-EDA 工具從單點輔助工具快速進化為全流程智慧夥伴，成為後摩爾時代半導體產業增長的核心驅動力。

近 1-2 年，AI-EDA 工具已實現從單點 AI 到全流程智慧體的關鍵躍遷。全球三大 EDA 巨頭均已完成多智慧體系統佈局，新思科技 DSO.ai 實現超過 100 次 AI 驅動的晶片商用投片，Cadence Cerebrus 在 2025 年第一季度 alone 就實現超過 1000 次投片。全球頭部半導體企業的規模化商用案例，充分驗證了 AI-EDA 工具在提升效率、優化性能、降低成本等方面

面的核心價值。

未來 5 年，隨著代理式 AI、神經符號系統、量子 +AI 等前沿技術的持續成熟，AI-EDA 工具將逐步實現晶片設計的高自主化，從 L3 半自主 (2026-2027) 向 L4 高度自主 (2028-2029) 乃至 L5 完全自主 (2030+) 演進，徹底重構半導體行業生態與研發範式。

市場層面，AI-EDA 工具將保持高速增長態勢。根據 Mordor Intelligence 資料，全球 EDA 工具市場規模預計從 2025 年的 192.2 億美元增長至 2031 年的 306.7 億美元，複合年增長率約為 8.1%。AI 驅動 EDA 工具占比將從 2023 年的 25% 快速提升，預計 2026 年將達到 60%，2030 年超過 90%，成為 EDA 市場的絕對主流產品。

三大 EDA 巨頭將持續主導市場格局。新思科技完成對 Ansys 的 350 億美元收購後，構建了“從矽到系統”的完整解決方案。Cadence 則通過收購 Arm Artisan 基礎 IP 業務，增強了在多晶片系統設計領域的能力。同時，新興創業公司與 AI 晶片廠商的參與，將推動行業生態向多元化發展。

長遠來看，AI 與半導體研發的深度融合，將推動半導體產業突破先進製程與傳統架構的雙重瓶頸，持續支撐 AI、自動駕駛、6G、HPC 等前沿應用的技術突破，為全球科技產業

的高品質發展注入新的核心動力。

Cadence 總裁兼首席執行官 Anirudh Devgan 在 2025 年 CadenceLIVE 大會上的發言道出了行業的共識：“我們正處於 AI 不僅僅是一個流行語，而是幾乎所有行業技術進步的 fundamental driver 的拐點。我們在高性能計算 (HPC)、機器學習 (ML) 和深度學習 (DL) 方面的深厚專業知識，加上我們全面的 EDA 軟體和 IP 套件，使我們處於獨特地位，能夠賦能客戶在 AI 創新之旅中取得成功。”

新思科技總裁兼首席執行官 Sassine Ghazi 在 2025 年 SNUG 大會上的展望則為行業指明了方向：“沒有兩家公司比新思科技和 NVIDIA 更有能力提供 AI 驅動的整體系統設計解決方案。我們將共同重新設計工程領域，賦能全球創新者更高效地實現他們的創新。”

CTA