



# AI 算力時代的 “矽光子晶片”與產業未來

編輯部整理

## AI 算力時代的“矽光子時刻”

### 算力需求的爆炸式增長

2026 年，生成式 AI 從實驗室走向規模化商用，大模型參數量與訓練資料量的雙增長，正將資料中心的算力需求推向物理極限。高盛 2025 年 3 月發佈的《全球 AI 基礎設施

投資報告》顯示，2026 年全球 AI 訓練伺服器出貨量同比增長 67%，單台伺服器的算力需求較 2023 年提升超 3 倍；對應 AI 晶片總需求突破 1600 萬顆，但傳統 GPU（如 NVIDIA H100）的訂單排期已延至 2027 年 Q1，單卡小時租賃成本漲至 6.5-7.0 美元，較 2025 年同期

上漲 15%-20%。

支撐這一需求的，是大模型參數量的指數級躍升：GPT-5 參數量已達 18 萬億，是 GPT-4 的 10 倍；單輪訓練需動用 3-5 萬張 H100 GPU，累計耗電超 100 萬度；若按每天 10 億次調用計算，其推理階段的單日耗電量即可達 24 萬度，相當於一座中型工廠的月均用電規模。為承載如此龐大的算力集群，Microsoft 為 OpenAI 部署的 GB300 超算集群中，單顆 GPU 需至少 800Gbps 的點對點互聯頻寬——這一指標已遠超傳統電互聯的能力邊界，甚至部分接近其物理極限。

野村證券同期發佈的《光



《電子產業供需報告》進一步驗證了供需錯配的嚴峻性：2026 年全球先進光晶片產能同比增長 80%，但仍落後實際需求 5%-15%；核心原材料磷化銦 (Indium phosphide; InP) 襯底的有效產能僅 75 萬片，缺口超 70%，其價格已從 2023 年的 8000 元/片暴漲至 1.2 萬元/片，漲幅達 50%。

### 傳統電晶片的“算力牆”與“功耗牆”

傳統電晶片的算力提升，長期依賴摩爾定律——通過縮小電晶體尺寸提升集成度，但這一邏輯已在 7nm 節點後遭遇瓶頸。IEEE 2026 年《半導體技術展望報告》明確指出，摩爾定律與登納德縮放 (Dennard Scaling) 已失效：電晶體尺寸接近原子級 (約 5nm) 後，漏電流效應加劇，每提升 10% 算力，晶片功耗需增加 20% 以上，而算力提升的邊際成本已突破工業級臨界點，甚至出現“算力提升 10%，成本上漲

30%”的倒掛現象。

更關鍵的是，傳統電互聯的物理極限，已成為 AI 集群規模化的核心瓶頸。高盛 2025 年 2 月發佈的《資料中心能源效率報告》提出了“AI 算力能效悖論”：新一代 NVIDIA Blackwell 伺服器的單位算力效率較上一代提升 16%，但單台伺服器的絕對功耗卻增長 68%；預計到 2030 年，全球資料中心的電力需求將較 2023 年激增 220%，其中約 60% 的增量來自美國市場——這意味著，若不改變互聯架構，資料中心將成為全球電力消耗的“黑洞”。

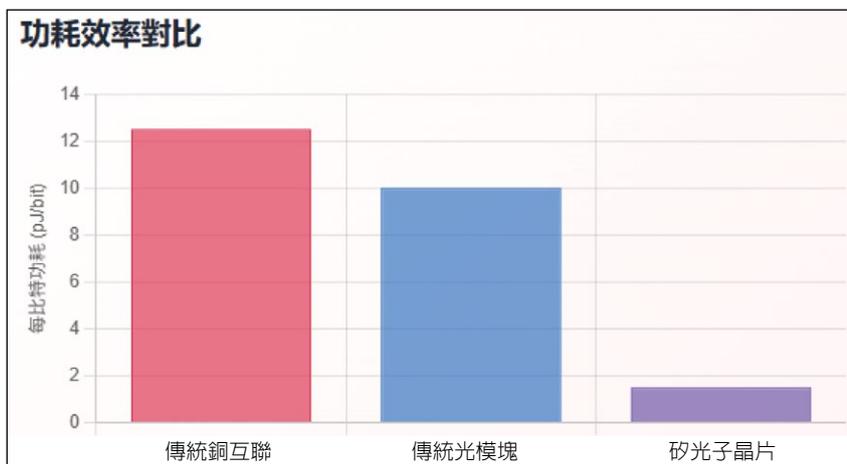
從技術層面看，傳統電互聯的瓶頸源於兩個核心物理限制：一是趨膚效應 (Skin-adhesive effect)——高頻信號僅能沿導體表面傳輸，導致 224Gbps 速率下，PCB 銅纜的傳輸距離僅 1 米，10cm 走線的插入損耗超 15dB、信號失真率突破 5%，需額外增加 30% 的研發週期調整阻抗匹配才能勉強滿足基本通信需求；二是“

引腳頻寬”約束——晶片的 I/O 引腳數量受限於封裝周長，無法無限增加，這直接限制了單晶片的對外資料傳輸能力，萬卡級 GPU 集群的跨機架協同效率因此被壓縮至不足 30%。

### 矽光子晶片的誕生：融合矽基與光子的優勢

矽光子晶片的核心創新，是將光子學與矽基 CMOS 電子學在晶片級融合——既利用矽的高折射率差 (可實現亞微米級波導，大幅提升集成密度)，又保留光子的高速、低損耗、抗干擾特性。這一技術並非全新概念：1985 年，貝爾實驗室首次提出 SOI (絕緣體上矽) 波導的概念，為矽光子晶片奠定材料基礎；2005 年，IBM 展示了全球首個 CMOS 相容的矽光子調製器，證明矽光子技術可與傳統半導體製程相容；2010 年，Intel 推出“Ridge”矽光子調製器，速率達 10Gbps，首次實現矽光子技術的商用化突破。

2026 年，矽光子晶片已從實驗室原型走向規模化量產，其核心價值在於解決傳統電互聯無法突破的兩大瓶頸：一是通過光子的高速傳輸，突破“算力牆”，滿足大模型對萬卡級 GPU 集群的互聯需求；二是通過光子的低功耗特性，突破“功耗牆”，將資料中心的互聯功耗降低 50% 以上。正如 NVIDIA CEO 黃仁勳在 2026 年 GTC 大



會預熱中所言：“光互聯不再是未來技術，是 AI 工廠規模化的基石——可插拔光模組在 800G/1.6T 速率下已觸及功耗與密度極限，銅纜方案無法支撐百萬 GPU 集群的協同需求。”

## 技術原理：矽光子晶片與傳統架構的本質差異

### 傳統電晶片的架構邏輯

傳統電晶片的核心邏輯，是通過控制 CMOS 電晶體的開關狀態，實現二進位信號的傳輸與計算。其信號載體是電子——在電壓驅動下，電子在矽襯底的導帶中遷移，完成信號的生成、放大與傳輸。為實現長距離、高頻信號傳輸，傳統電互聯依賴三大核心組件：

- SerDes(串列器/解串器)：將並行資料轉換為串列信號以提升傳輸速率，224Gbps 速率下需採用 PAM4(4 電平脈衝幅度調製)技術，但單鏈路功耗超 25Pj/bit，且信號完整性隨速率提升急劇下降；
- Repeater(重計時器)：放大衰減的電信號，但每級功耗達 2-3W、延遲 3-5ns，萬卡集群中需部署超 10 萬級 Repeater，其總功耗甚至超過 GPU 本身；
- CDR(時鐘資料恢復)：從接收信號中恢復時鐘，確保資料同步，但高頻下時鐘抖動誤差會顯著上升，直接限制信號傳輸的穩定性。

電子的物理特性，是傳統電互聯無法突破的核心約束：電子的漂移速度約為  $3 \times 10^8$  m/s，僅為光速的千分之一，且方向完全隨機；電子帶負電，傳輸過程中會產生趨膚效應、介電損耗與電磁干擾，導致高速信號衰減速率隨頻率升高呈指數級增長。這意味著，當傳輸速率超過 224Gbps 時，傳統電互聯的功耗與信號失真率將達到不可接受的水準。

### 矽光子晶片的架構邏輯

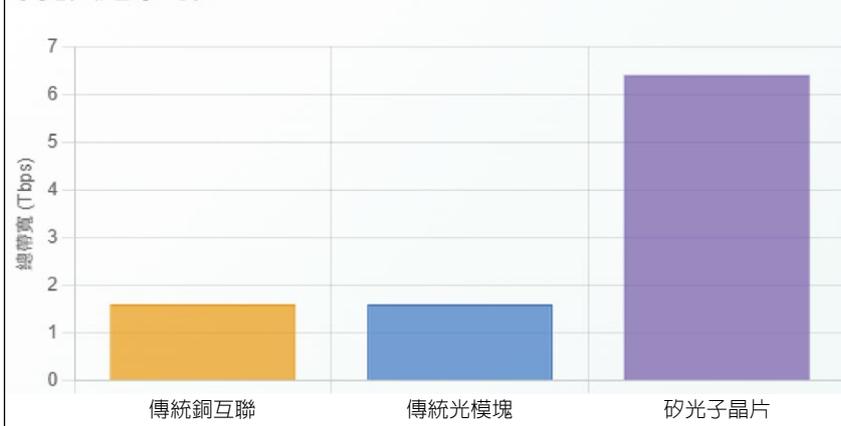
矽光子晶片的核心邏輯，是“以光代電”——將電子負責的長距離資料傳輸工作，替換為光子。其信號載體是光子，通過矽基波導實現低損耗傳輸，通過光電轉換元件實現光信號與電信號的銜接。2026 年，矽光子晶片的核心元件已形成成熟的量產方案：

- 雷射器：主流為 III-V 族異質集成方案，如 Lumentum 的 A8 系列連續波 (CW) 雷射器。該系列雷射器支援 5-75°C 無製冷

運行，通過分子束外延 (MBE) 技術精確控制銦磷 (InP) 原子層厚度，實現了 GR-468 電信級可靠性認證 (平均無故障時間 MTBF >  $10^5$  小時)，可穩定工作 10 年以上，是 1.6T 光模組的主流光源；

- 調製器：主流為薄膜銦酸鋰 (TFLN) 或微環諧振器 (MRR) 方案。其中，Intel 第三代矽光子製程實現了薄膜銦酸鋰調製器與矽基波導的單片集成，調製效率提升 3 倍——傳統矽基調製器的半波電壓 ( $V\pi$ ) 約為 1V，而該方案的  $V\pi$  僅為 0.3V，功耗較傳統方案降低 40%；
- 探測器：採用鍺 (Ge) 材料，利用其高光吸收特性將光信號轉換為電信號，並通過 TIA(跨阻放大器)放大處理，完成光電轉換閉環，可實現 200Gbps 的回應速率，在 -6dBm 輸入光功率下，信噪比達 18.11dB，足以滿足 AI 集群的高頻寬需求；
- 波導：主流為氮化矽 (SiN) 或

帶寬與速率對比



絕緣體上矽 (SOI) 方案。台積電 2026 年在 ISSCC (國際固態電路會議) 上發佈的資料顯示，氮化矽波導的傳輸損耗低至 0.23dB/cm、熱光係數僅  $0.2 \times 10^{-4}/K$ ——這一熱光係數僅為 SOI 波導的 1/9，意味著氮化矽波導對溫度波動的敏感度降低 90%，無需額外的溫度補償模組，可大幅簡化封裝設計。

光子的物理特性，賦予了矽光子晶片三大核心優勢：一是傳送速率快——光子在真空中的速度約為  $3 \times 10^8$  m/s，接近光速；二是功耗低——光子傳輸無電阻損耗，每比特能耗僅為傳統電互聯的 1/5-1/20；三是抗干擾能力強——光子無電磁輻射，不會與其他信號產生串擾，也不會受到外界電磁干擾的影響。

### 核心架構對比：CPO vs. 傳統 PCB/銅纜

2026 年，矽光子晶片的主流架構是 CPO(共封裝光矽光子晶片的架構示意

學)——將光引擎與交換晶片 ASIC/CPU/GPU 封裝在同一直板上，實現“光引擎直接貼附計算核心”的佈局。這一架構的核心創新，是將光互聯從“板級”升級為“封裝級”，徹底消除了傳統可插拔光模組的線纜損耗與延遲。

其具體工作流程是：CPU/GPU 輸出的電信號，首先進入光引擎的調製器陣列，被轉換為光信號；光信號通過矽基波導陣列傳輸至波分複用器 (WDM)，將多路光信號複用為單路信號；複用後的光信號通過光纖傳輸至接收端；接收端的波分解複用器將單路光信號分解為多路，再通過探測器陣列轉換為電信號，最終輸入至目標 CPU/GPU。

CPO 架構的核心優勢在於縮短了光電互聯距離。NVIDIA 採用矽光子技術的 Spectrum-X 交換機將信號路徑從 14-16 英寸縮短到不到 0.5 英寸，延遲降低至傳統光模組的 1/63，確保了 AI 訓練過程中 GPU 間資

料交換的即時性。同時，CPO 通過將光引擎與計算晶片集成，大幅降低了系統功耗——輝達 Quantum-X 矽光子交換機採用液冷設計，能效比提升至傳統方案的 3.5 倍，信號完整性提高 63 倍，網路可靠性提升 10 倍。

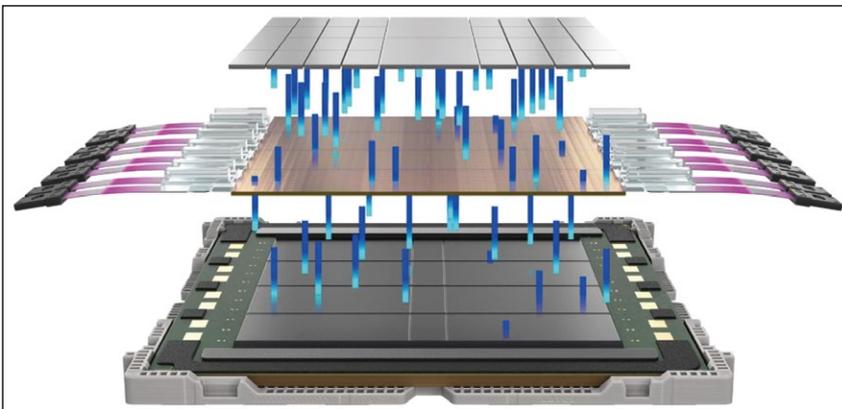
### 產業現狀：從實驗室到規模化的跨越

全球矽光子產業已形成“上游基礎支撐—中游製造核心—下游應用拓展”的完整鏈路。根據 LightCounting 2025 年報告，矽光子模組在光模組市場中的份額將從 2025 年的 30% 穩步提升至 2030 年的 60%。

**上游：**Soitec (SOI 晶圓)、Lumentum(雷射器)、IBM(聚合物波導材料)等企業佔據核心地位。Lumentum 作為英偉達 CPO 核心光源供應商，2025 年 Q3 營收達 6.655 億美元，CPO 元件訂單增長顯著。

**中游：**英特爾(晶片設計)、思科(系統集成)、台積電(矽光子代工)等企業主導。台積電 COUPE 技術通過 3D 堆疊將光引擎與電子晶片垂直集成，實現 1.2dB 插入損耗，支持 2026 年 1.6T 矽光子引擎量產。

**下游：**Meta、谷歌、輝達等 AI 巨頭是矽光子模組的主要採購方。Microsoft 為 OpenAI 部署的 GB300 超算集群包含



圖片來源：Lightmatter

4600 個 GB300 NVL72 系統，總計超過 13.5 萬個 GB300 GPU，是迄今為止全球最大的 AI 訓練基礎設施之一。

**英特爾：**混合集成矽光子（如 OCI 晶片組），出貨超 800 萬片光子積體電路，資料中心市占率 61%。英特爾已實現 50 通道 / 指甲蓋面積的集成密度，單機架交換容量突破 100Tbps。其 OCI 晶片組支援 64 通道 × 32Gbps 配置，傳輸距離達 100 米，遠超銅纜的 1 米限制。

**思科：**通過收購 Acacia 強化相干光模組技術，推出 Silicon One P200 晶片，支援 51.2Tbps 全雙工頻寬，集成 512 個 112G SerDes，支援 64 個 800G 埠，採用 CPO 技術將光模組與晶片直接封裝，降低功耗 65%。

**IBM：**開發聚合物波導

(PWG) 技術，相比傳統矽光子，光纖密度提升 6 倍，支援每秒太比特級傳輸，可將 LLM 訓練速度提升 5 倍，功耗降低 5 倍。IBM 已與輝達合作開發矽光子互聯方案，用於 Rubin 平臺。

**諾基亞：**推出第六代光子業務引擎 PSE-6s，採用 5nm DSP 晶片，單線卡容量 2.4Tbps，傳輸距離達 2000km，已在阿美石油等國際運營商的網路中部署。

**Lumentum：**專注 III-V 族雷射器（如 EML），2025 年獲得輝達 40 億美元投資，用於擴大其美國本土製造產能，支援 AI 資料中心的光互聯需求。

**Coherent：**垂直整合矽光子 + 薄膜鋰酸鋰技術，推出 800G/1.6T 驅動器，2025 年產品支援長距離傳輸，正加速向矽光子技術轉型。

目前情況下，矽光子晶片

的單價仍然處於高位水準，傳統的銅互聯在成本方面仍然具有明顯優勢，因此在應用端，不同連接技術將共存相當長的時間。

## 技術發展趨勢

### CPO 技術規模化部署

共封裝光學（CPO）技術代表了矽光子發展的關鍵方向。根據摩根士丹利的預測，CPO 市場將從 2024 年的 4600 萬美元激增至 2030 年的 81 億美元，年複合增長率達 130%。這一技術將光引擎與計算晶片封裝在同一板上，縮短光電互聯距離，降低系統延遲與功耗。

輝達 Quantum-X 交換機已採用 CPO 技術，於 2025 年下半年進入規模化生產；立創精密主導中國首個 CPO 標準。台積電高級封裝總監侯尚甫表示：“當光引擎與算力晶片的距離

## 綜合對比與應用場景適配

維度	傳統銅互連	傳統光模塊	矽光芯片
帶寬密度	低 (1U交換機最多32×400Gbps端口)	中 (1U交換機最多64×800Gbps端口)	高 (1U交換機最多128×1.6Tbps端口)
功耗效率	最低 (每比特功耗10-15pJ/bit)	中等 (每比特功耗8-12pJ/bit)	最高 (每比特功耗1-2pJ/bit)
傳輸距離	極短 (0-3米)	中短 (10-100米)	全範圍 (0-500米+)
部署靈活性	高 (無需光電轉換, 即插即用)	中 (標準化可插拔, 需光纖佈線)	低 (需定製化封裝, 現場維護難度大)
短期成本	低 (15-120美元/鏈路)	中 (200-500美元/鏈路)	中高 (300-400美元/鏈路)
長期成本	高 (功耗+更換成本佔比高)	中 (運維成本佔比高)	低 (全生命週期成本低50%以上)
可靠性	中 (易受電磁干擾, MTBF 50-80萬小時)	高 (不受電磁干擾, MTBF 80-100萬小時)	極高 (完全抗電磁干擾, MTBF 100-150萬小時)
AI場景適配性	低 (僅適用於<3米的板間互聯)	中 (適用於中小規模集群的機架間互聯)	高 (適用於千卡級以上集群的全鏈路互聯)

歸零，摩爾定律的物理枷鎖已被光子擊穿。”

### 製程與材料創新

矽光子技術正經歷製程與材料的雙重創新：

- 製程升級：台積電 3nm 製程已用於 1.6T DSP 晶片，IBM 聚合物波導技術採用 5nm 製程製造 DSP 晶片，實現 2.3 倍的非線性閾值提升；
- 材料突破：薄膜鋰酸鋇 (LiNbO) 調製器與矽光子結合，解決了單片集成發光問題。根據 Valuates 的預測，薄膜鋰酸鋇調製器晶片市場規模將從 2024 年的 1.37 億美元增長至 2031 年的 3.17 億美元，複合年增長率為 12.2%；
- 集成密度提升：矽光子晶片集成度不斷提升。英特爾 50 通道 / 指甲蓋面積的集成密度已成為行業標杆；IBM 通過 PWG 技術將光纖密度提升 6 倍，支援更高速率傳輸。

### 技術路線多元化

矽光子技術正在向多元化方向發展，以滿足不同場景的需求：

- 矽光子 + CPO：面向 AI 算力核心場景，支援超長距離、低延遲傳輸，如輝達與台積電合作的 1.6T 矽光子引擎；
- 矽光子 + LPO：面向推理端場景，通過移除 DSP 晶片降

低功耗，如新易盛的 LPO 方案 800G 光模組，功耗降至 8W，毛利率達 48.7%；

- 矽光子 + 薄膜鋰酸鋇：面向長距離傳輸場景，結合兩種材料的優勢，如 Coherent 高意的 800G/1.6T 模組已開始在都會區網路和骨幹網中應用；
- 矽光子 + 量子計算：面向新興量子計算領域，利用矽光子的低雜訊特性，如 IBM 開發的矽光子量子互聯器，支援量子比特間的高效傳輸。

## 未來市場前景

### 市場規模預測

權威機構對矽光子晶片市場的預測普遍樂觀：

- LightCounting：預測 2025 年全球資料中心光模組市場規模將達 165 億美元，2026 年增長至 260 億美元；矽光子模組在光模組市場中的份額將從 2025 年的 30% 提升至 2030 年的 60%；
- Yole：預測全球矽光子模組市場規模將從 2023 年的 14 億美元躍升至 2029 年的 103 億美元，年複合增長率達 45%。其中，資料中心可插拔矽光子模組規模達 53 億美元，占 2029 年全部矽光子模組銷售額的 52%；用於電信波分複用領域矽光子模組規模 46 億美元，占比 45%；
- 高盛：預測 2025 年全

800G 光模組市場規模將達 130 億美元，同比增長 40%；1.6T 光模組市場規模在 2025 年將達 10 億美元，2026 年增至 80 億美元。

### 細分市場機會

矽光子技術正在多個細分市場創造增長機會：

- AI 算力：AI 算力已成為光模組需求的核心驅動力。輝達資料顯示，其資料中心收入在 2025 年第三季度激增 112% 至 308 億美元，主要得益於 AI 訓練集群的光互聯需求；
- 電信網路：諾基亞 PSE-6s 相干光晶片支援 2.4Tbps/ 通道，傳輸距離達 2000km，已在阿美石油等國際運營商的網路中部署。LightCounting 預測，400G 相干埠將在未來五年內實現最快增長，CAGR 超過 40%；
- 智能駕駛：矽光子固態雷射雷達通過 CMOS 製程相容的高密度集成，使系統成本降至傳統機械式方案的 1/5。禾賽科技與九峰山實驗室合作開發的矽光子雷達晶片，集成 128 通道 VCSEL 陣列，探測距離突破 300 米，已獲多家車企定點；
- 工業互聯網：矽光子通信在工業場景中展現出低時延、高可靠性的優勢，2025 年市場規模約 24 億美元，預計

2030 年將突破 480 億美元。

## 區域市場差異

全球矽光子市場呈現明顯的區域差異：

- 北美：佔據市場領先地位，主要受益於成熟的電信基礎設施和資料中心技術的高採用率。美國三大雲廠商 (AWS、谷歌、微軟) 對光模組的需求占全球總量的 40% 以上，且增長率持續高於其他地區；
- 亞太：增長最快，主要受中國“東數西算”等政策推動。中國光模組廠商在全球市場佔據主導地位，2024 年前十大光模組廠商中有七家為中國企業。中際旭創、新易盛等企業通過海外佈局 (如泰國工廠) 規避貿易壁壘，進一步擴大市場份額；
- 歐洲：增長穩健，主要受歐盟“數字十年計畫”等政策支持。歐洲電信運營商對高速光模組的需求持續增長，諾基亞等歐洲廠商在相干光通信領域佔據優勢。

## 產業發展趨勢

### 產業鏈價值分佈

矽光子產業鏈各環節的盈利能力和增長潛力存在顯著差異。

高盛在 2025 年 11 月的報告中強調，矽光子技術的“量價齊升”超級週期將圍繞速率反覆運算、技術升級和需求增

量三大維度展開。未來三年，行業紅利將集中於 800G 及以上高端產品與矽光子技術路線，具備技術壁壘與產能優勢的頭部廠商將充分受益。

### 具有潛力的公司

基於矽光子技術的發展趨勢和產業鏈價值分佈，整個產業鏈可分為以下幾類企業：

- 矽光子晶片設計公司：如中際旭創、新易盛等，這些企業採用無廠模式 (Fabless)，專注於晶片設計，輕資產模式能夠提升淨資產收益率。
- 矽調製器晶片晶圓代工廠：如台積電、GlobalFoundries 等，這些企業依賴晶圓廠擴產產能，雖然製程要求不高，但產能擴張需要大量資本投入。摩根士丹利分析師在 2025 年 12 月表示，GlobalFoundries 正將資本開支強度從 8%-10% 提升至 15%-20%，以滿足矽光子子、高性能矽鍺和 FDX 技術的需求；
- 矽光子子配套晶片 / 器件：如源傑科技 (200G EML 晶片)、仕佳光子 (AWG 晶片) 等，這些企業專注於光晶片、光探測器等關鍵元件，技術壁壘高，盈利穩定。野村證券在 2025 年 12 月的報告中指出，AI 網路設備提供商的需求將保持強勁，矽光子光源是光通信產業鏈“Know-how 最密集、壁壘最高”的環節，

中國的頭部企業將享受 3-5 年確定性紅利期；

- 矽光子子半導體設備：如光迅科技、華工科技等，這些企業提供晶圓廠和模組廠的耦合 / 測試製程設備，技術門檻高，市場空間大。

### 技術路線左右未來方向

- 技術路線競爭：矽光子技術面臨 LPO、NPO 等替代技術路線的競爭。高盛指出，“矽光子是集成化趨勢下的長期選擇，但短期內 LPO 等技術路線仍有其特定優勢”；
- 供應鏈瓶頸：高端 DUV 設備依賴進口，InP 外延片產能集中於日美企業，存在一定的地緣政治風險。野村證券分析師 CW Chung 團隊在 2025 年 12 月的報告中強調，“供應鏈瓶頸是矽光子技術商業化的主要障礙之一”；
- 客戶集中度高：頭部廠商 (如中際旭創、新易盛) 高度依賴輝達、谷歌等少數大客戶，客戶集中度高增加了業績波動風險。中國的中際旭創 2025 年第三季度淨利潤同比暴增 284%，主要得益於輝達和谷歌的大額訂單；
- 產能擴張風險：矽光子技術產能擴張需要大量資本投入，且良率提升需要時間。如中國的新易盛在 2025 年上半年光模組銷量達 695 萬隻，同比增長 112.5%，但 1.6T

模組仍處於送測階段，尚未大規模量產。

## 結論與展望

矽光子晶片技術正在 AI 算力時代迎來歷史性發展機遇。隨著 AI 訓練設施功率密度達到傳統資料中心的 10 倍，光互聯已成為突破算力瓶頸的關鍵。英特爾、思科、IBM、台積電等國際巨頭已紛紛佈局矽光子技術，推出了一系列創新產品。

從技術原理看，矽光子晶片通過將光學器件與電子電路集成在同一矽基襯底上，利用成熟 CMOS 製程實現光電協同處理，解決了傳統銅傳輸頻寬受限、功耗高、散熱難的根本問題。與傳統光模組相比，矽光子模組在 400G/800G 場景下成本優勢達 40%，功耗降低 30%-50%，成為 AI 算力基礎設施的理想選擇。

從產業發展看，全球矽光子市場正處於快速增長與多元化發展的關鍵期。矽光子模組市場份額預計將從 2025 年的 30% 提升至 2030 年的 60%，市場規模將從 2023 年的 14 億美元躍升至 2029 年的 103 億美元，年複合增長率達 45%。中際旭創、新易盛等中國企業在全球光模組領域佔據主導地位，2024 年前十大光模組廠商中有七家為中國企業，市場份額超過 60%。

矽光子產業鏈的價值正在

從後端封裝向中游晶片設計和晶圓製造轉移。具備獨立 PIC 設計能力的企業將直接受益於這一價值重構，毛利率有望從 30% 左右提升至 50% 以上。台積電、GlobalFoundries 等代工廠通過矽光子產能擴張獲得增量收入，摩根士丹利預測其毛利率目標將提升至 40%。

未來，矽光子技術將與 CPO、LPO 等封裝技術深度融合，形成面向不同場景的完整解決方案。在 AI 算力領域，矽光子將成為萬卡級 GPU 集群互聯的首選技術；在電信網路領域，矽光子將推動相干光技術向都會區網路和接入網延伸；在智慧駕駛領域，矽光子將大幅降低雷射雷達成本，推動 L4 級自動駕駛普及。

隨著技術的成熟和產業鏈的完善，矽光子晶片有望從“銅傳輸替代者”逐步演變為“光通信主導者”，重塑全球光通信產業格局。對於投資者而言，關注具備核心技術壁壘和產能優勢的矽光子晶片設計企業、代工廠和配套器件供應商，將是把握這一歷史性機遇的關鍵。

## 參考來源

- [1] 360iResearch. Silicon Photonics Market Intelligence. <https://www.360iresearch.com/library/intelligence/silicon-photonics>
- [2] Mordor Intelligence. Silicon Photonics Market Report. <https://www.mordorintelligence.com/industry-reports/silicon-photonics->

market

- [3] 高盛. 全球 AI 基礎設施投資報告. 2025 年 3 月.
- [4] 野村證券. 光電子產業供需報告. 2025 年.
- [5] IEEE. 半導體技術展望報告. 2026 年.
- [6] LightCounting. Optical Components Market Report. 2025.
- [7] Yole Intelligence. Silicon Photonics Market Report. 2024-2029.
- [8] 台積電. COUPE 技術平臺. <https://www.tsmc.com>
- [9] 英特爾. OCI 光學 I/O 晶片技術. 2024 年 OFC 會議.
- [10] 英偉達. GTC 2025 大會. Spectrum-X 與 Quantum-X 交換機發佈.
- [11] 諾基亞. PSE-6s 光子業務引擎. <https://www.nokia.com>
- [12] Lumentum. CW 雷射器產品系列. <https://www.lumentum.com>
- [13] 中際旭創. 2024-2025 年財報與產能報告.
- [14] 新易盛. 2025 年前三季度業績報告.
- [15] 摩根士丹利. CPO 市場預測. 2025 年.
- [16] Valuates. 薄膜鋰酸鋰調製器晶片市場報告. 2024-2031.
- [17] IBM. 聚合物波導技術. 2025 年.
- [18] 思科. Silicon One P200 晶片. 2025 年.
- [19] Microsoft. GB300 超算集群部署. 2025 年.
- [20] 高盛. 光模組行業研究報告. 2025 年 11 月.

注：本文資料均來自公開可查的權威報告、企業財報及行業會議資料，部分預測性資料基於 2025 年已發佈報告中的 2026-2030 年預測區間。CTA