

千瓦級 GPU 散熱挑戰

從晶片封裝、PCB 到 TIM 材料的全流程熱管理

編輯部整理

人工智慧大模型與高性能計算驅動 GPU 單晶片功耗持續衝破千瓦級，晶片局部熱點的瞬態熱流密度已經逼近傳統散熱技術的物理天花板。過往系統層級冷卻方案主要聚焦散熱器、冷板等宏觀裝置，然而熱量真正的瓶頸已經下沉至矽晶粒、封裝介面、基板與導熱介面等微觀層次。CTE 熱膨脹失配帶來的翹曲變形、介面空隙、

泵出效應，以及 3D 異質整合帶來複雜多層熱阻網路，正在成為約束晶片時脈、良率與長期可靠性的關鍵矛盾。

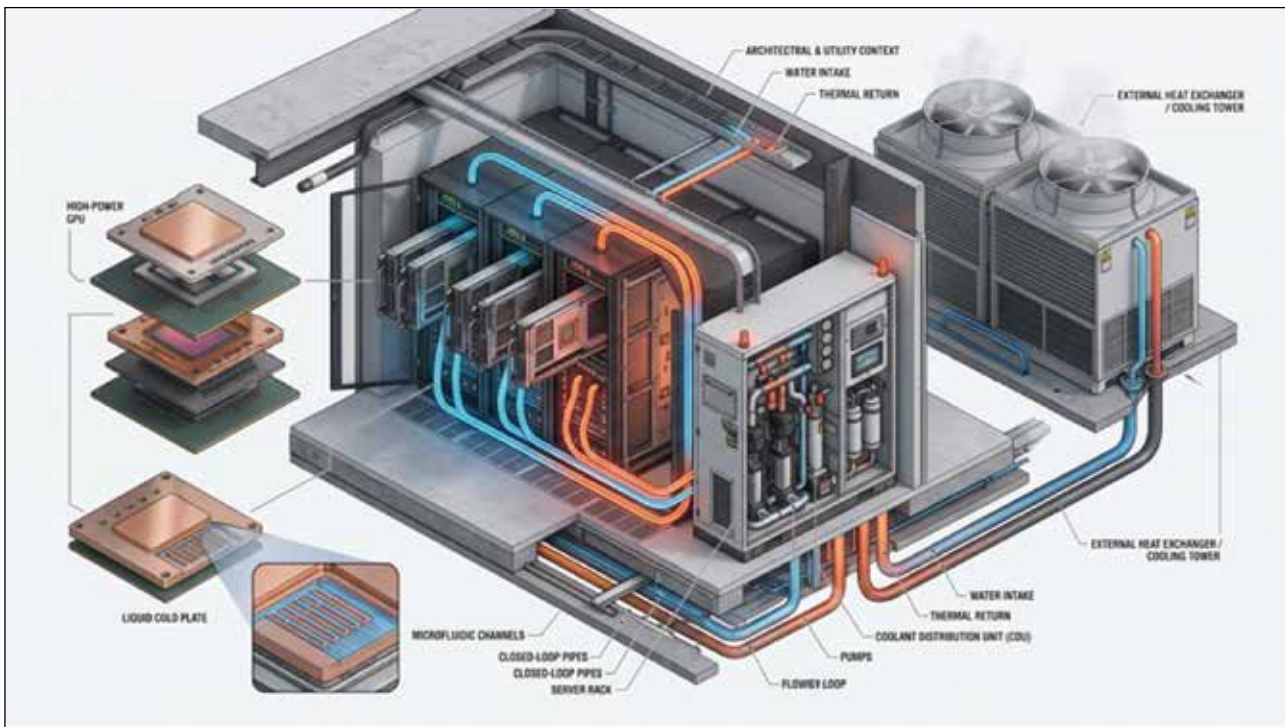
本文從熱流密度的物理約束出發，依次解析先進封裝與載板的熱-機一體化設計、浸沒液冷場景下 PCB 技術的演變，以及新一代導熱介面與鍵合材料的工程突破，整理當前產業為突破超高熱流密度所採

取的技術路徑，同時呈現各類方案的優勢與現實局限性。

熱流密度的物理之牆

在當前超高密算力架構演進的嚴苛條件下，單顆 GPU 的熱設計功耗 (TDP) 已正式突破 1,000W 至 1,500W 的極限門檻，這標誌著半導體散熱工程已觸及傳統物理學極限的邊界。這種極端的功耗攀升並非

圖解說明：本圖以 3D 等軸測技術剖面，完整展示了從底層高密 GPU 晶片微結構、冷板導熱模組、機櫃級冷卻液分配單元 (CDU)，到外部熱交換冷卻塔的閉式循環路徑。(AI 製作)



均勻分佈於整個矽晶片表面，而是在架構代際更迭中（如最新一代高密算力平台），大量張量核心與算術邏輯單元在極短的瞬態時間內同時滿載運行，導致核心局部熱點（Hotspots）的熱流密度呈現非線性飆升。

實測物理數據與工程探測表明，這些局部熱點的瞬態熱流密度已遠遠超過 500 W/cm^2 的熱擴散瓶頸。在這種極端熱流密度下，熱能的空間積聚速度遠大於其向外傳導擴散的速度，傳統的二維均熱板或高導熱介面材料在微觀接觸面上已無法及時將龐大熱量抽離，導致晶片內部產生極大的垂直與橫向溫度梯度。這種局部溫度的陡升不僅會成倍增加半導體器件的漏電流，引發電熱耦合下的熱失控惡性循環，更會直接限制時脈頻率的提升。因此，宏觀冷卻系統即便具備數千瓦的系統級解熱能力，也無法單方面解決晶片微觀層面的熱量堆積問題，熱管理重心必須向矽片內部與封裝結構底層轉移。

進一步從熱力學底層原理剖析，這種微觀散熱瓶頸可透過傅立葉導熱定律（Fourier's Law of Heat Conduction）進行極致的物理極限推導。為了應對急劇增加的熱流密度並控制溫差以防止電晶體燒毀，唯一的工程物理路徑就是極限縮減傳熱路徑的厚度。為此，晶圓代工廠在先進封裝製程中，必須將

矽片研磨減薄至 50 micro-m 甚至 30 micro-m 的微米級極限厚度，以換取最低的本體熱阻。然而，這項基於傅立葉定律推導出的極端減薄製程，卻在固體力學層面引發了嚴重的微觀翹曲與散熱矛盾。當晶圓厚度逼近物理極限時，矽片本身的楊氏模量與機械剛性大幅喪失，在經歷頻繁的計算負載與交變熱衝擊時，極薄的矽晶粒極易受到周邊材料拉扯而產生微米級別的動態形變。

這種形變的根源在於材料間的熱機械物理特性差異。矽晶圓的熱膨脹係數（CTE）約為 2.6 ppm/deg C ，而傳統有機封裝基板的 CTE 通常落在 15 至 18 ppm/deg C 的區間。在晶片滿載運算產生 85 deg C 至 105 deg C 的溫度波動時，高達數倍的 CTE 失配會使得基板的膨脹幅度遠大於上方的矽晶片，進而在邊角區域產生巨大的剪切應力與宏觀翹曲現象（如微笑或哭泣變形）。這種形變不僅會拉扯脆弱的微凸塊，更會在晶片與導熱介面材料（TIM）之間產生微觀空隙，迫使 TIM 在熱循環中經歷不斷的擠壓與剝離，最終導致嚴重的泵出效應（Pump-out）。介面材料流失後形成的空氣空腔，會使局部接觸熱阻瞬間飆高，使得原本為了降低熱阻而進行的晶圓減薄操作，在實際工程運行中反而引發了熱傳導路徑的物理斷裂，形成了

極難逾越的熱物理之牆。

先進封裝與基板技術的熱學重塑

在熱流密度逼近物理極限的背景下，先進封裝與基板技術成為熱學重塑與應力控制的核心戰場。以台積電（TSMC）主導的 CoWoS-L 及 3D SoIC 先進封裝架構為例，這些技術透過極其複雜的高密度銅互連結構與矽穿孔（TSV）陣列，在極小的三維空間內實現了邏輯晶片與高頻寬記憶體（HBM）的異質整合。CoWoS-L 採用局部矽中介層（Local Silicon Interconnect, LSI）搭配環氧樹脂成型化合物（EMC），雖然大幅降低了超大尺寸封裝的成本與製造難度，但樹脂材料極低的熱導率在晶片周圍形成了天然的橫向絕熱層。同時，3D SoIC 採用的無凸塊（Bumpless）銅對銅（Cu-Cu）混合鍵合技術，雖然消除了傳統錫球帶來的垂直熱阻，但也使得高發熱的底層晶片被頂層晶片完全覆蓋，熱量難以直接傳遞至頂部散熱沉。這些架構下高密度銅互連結構在提供卓越電氣傳導能力的同時，也引入了致命的熱機械應力問題。

針對此一嚴峻的物理約束，台積電（TSMC）先進封裝研發團隊在國際半導體技術研討會上提出了明確的觀點：「在 3D 封裝時代，熱管理不再是封

裝後的散熱設計，而是晶圓級架構規劃的第一物理約束：熱機械應力 (CTE 失配) 與局部熱點的微米級擴散，直接決定了多晶片互連的良率極限。」這一論述客觀奠定了次世代高密晶片設計的基準原則，即熱阻控制與結構力學必須在晶圓階段進行一體化協同設計，任何忽視熱機械應力失配的微縮行為，都將在超高密運算中因物理斷裂而遭遇良率天花板。

為了緩衝這種在超大尺寸 (大於 100mm x 100mm) 封裝載板中日益嚴重的熱應力與翹曲問題，康寧 (Corning) 玻璃基板技術作為下一代載板候選材料應運而生。玻璃基板憑藉其可精確調節的 CTE 特性 (可調整至與矽極度接近的 3 至 4 ppm/deg C)、極低的介電常數 (Dk) 以及卓越的尺寸穩定性，能夠在大面積封裝中完美匹配矽晶片的膨脹節奏，有效抑制宏觀翹曲現象。這種平整度在超微距互連中表現出極佳的熱應力緩衝表現，同時為 224G 甚至 448G 高速 SerDes 信號提供了極低損耗的傳輸環境。然

而，從嚴謹的熱物理學角度審視，必須客觀澄清康寧玻璃基板在散熱系統中的真實定位。玻璃材料本身的熱導率極低 (通常僅有 1.1 W/mK 至 1.5 W/mK，遠低於矽的 149 W/m.K)，這意味著玻璃基板本體實質上是一個低導熱熱阻層，它是維持封裝結構平整度與高頻電氣特性的結構支撐載體，而非高導熱介質。

針對此物理特性與外界對玻璃基板的高導熱誤解，康寧 (Corning) 半導體玻璃基板業務工程總監表態指出：「業界必須客觀認識到，玻璃基板的核心價值在於解決高頻超高密互連中的訊號衰減與幾何翹曲，而非提供高導熱通道；晶片級熱控依賴於金屬穿孔 (TGV) 陣列與封裝背面的協同導熱設計。」透過在玻璃基板中採用雷射誘導與化學蝕刻技術，製造出深寬比 (Aspect Ratio) 極高的高密度微通孔 (TGV)，並在其中進行實心電鍍填銅 (銅的熱導率高達約 400 W/m.K)，工程師能夠在絕熱的玻璃本體中人造出無數條垂直導熱的高

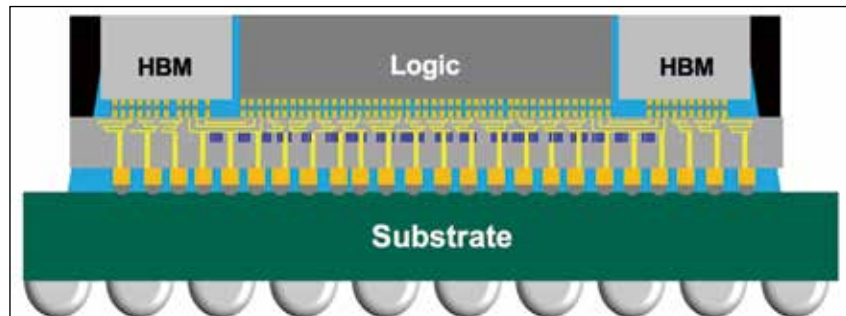
速公路。這些金屬化 TGV 陣列直接承接來自晶片底部的極端熱流，將熱量迅速向下傳導至背部微流道底板或背部散熱沉，從而實現了訊號完整性、結構尺寸穩定性與熱流排出的系統級動態平衡。

綜合上述封裝層級的熱學演進，晶片內部的熱阻分佈正在發生結構性轉變。引用 Yole Group 關於先進半導體封裝與散熱熱阻分析調研數據指出，在現行主流的高密 2.5D/3D 異質整合架構中，由於矽穿孔、微凸塊、底部填充膠 (CUF) 以及中介層材料的堆疊，晶片發熱結點 (Junction) 至封裝頂蓋 (Case) 的熱傳導路徑變得異常複雜 (資料來源：Yole Group 先進半導體封裝熱管理白皮書)。數據表明，這些封裝層介面貢獻了超過三分之一的系統總熱阻，任何單一層面的微小空洞或介面熱阻 (如厚度僅數微米的 TIM1 層劣化)，都會造成熱點溫度呈指數級上升。因此，玻璃基板與 TGV 協同設計、抗氧化微米銅鍵合等底層材料技術的重塑，不僅是解決高密度訊號路由的需求，更是打破 500 W/cm² 物理之牆、確保算力中心持續擴展的唯一工程解方。

電路板 (PCB) 技術朝向液冷場景

在超高密算力架構中，單

圖說：TSMC CoWoS 2.5D/3D 先進封裝架構剖面圖



資料來源：<https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/cowos.htm>

圖：晶片內部各封裝層熱阻分佈比例

●矽晶粒與主動層 (Silicon Die & Active Layer)：		(約 15%)
●微凸塊與底填膠層 (Micro-bumps & Underfill)：		(約 35%)
●中介層與基板層 (Interposer & Substrate)：		(約 30%)
●頂部導熱介面與熱沉 (TIM1 & Heat Spreader)：		(約 20%)
(註：精確佔比受不同封裝架構與介面材料塗佈厚度 BLT 影響存在 +/-5% 浮動)		

表 1：先進封裝載板 (有機基板 vs 矽中介層 vs 康寧玻璃基板) 物理特性與熱阻對抗比較

載板技術類型	介電常數 (Dk)	典型熱膨脹係數 CTE (ppm/deg C)	本體熱導率 (W/m*K)	關鍵熱學與熱機械結構特徵	高密算力核心定位與局限性
有機基板 (Organic Substrate)	3.2 - 3.8	15.0 - 18.0	0.3 - 0.8	CTE 嚴重失配，極易受熱應力影響產生宏觀翹曲，本體絕熱導致熱量極難向下疏導。	傳統單晶片封裝主流；在超大尺寸 AI 晶片中遭遇平整度與良率的物理天花板。
矽中介層 (Silicon Interposer)	11.7 - 11.9	2.6 - 3.0	149.0	與晶片 CTE 完美匹配，消除介面剪切應力，具備極佳的橫向均熱 (Heat Spreading) 能力。	2.5D 高階封裝 (如 CoWoS-S) 核心；大尺寸製造易脆裂，且高頻信號損耗較大。
康寧玻璃基板 (Corning Glass)	5.0 - 5.5	3.0 - 8.0 (可精確調節)	1.1 - 1.5	尺寸極度穩定，本體為低導熱熱阻層；高度依賴高密度金屬微通孔 (TGV) 提供垂直導熱路徑。	次世代超大尺寸封裝載體；有效緩衝應力並解耦電氣與熱力設計，需配備背部散熱沉。

類 GPU 的熱設計功耗 (TDP) 急遽攀升，不僅對晶片封裝與基板提出挑戰，也迫使承載這些龐然大物的印刷電路板 (PCB) 必須進行深刻的技術演進。傳統 PCB 設計往往將其視為純粹的電氣互連與物理支撐載體，但在熱流密度不斷突破邊界的當下，PCB 正在轉變為算力系統中不可或缺的輔助二維均熱層。為了應對高達數十安培至上百安培的局部電流帶來的焦耳熱 (Joule Heating)，高玻璃轉化溫度 (High Tg) 材料與厚銅製程 (Heavy Copper) 已成為高階 AI 伺服器主機板的標準配置。

高 Tg 材料能夠在超過 170 deg C 甚至更高的高溫環境下保持極佳的機械穩定性與尺寸精度，避免因持續高溫導致的板材軟化、翹曲或介電層剝離。而厚銅製程則是透過將 PCB 內層或外層的銅箔厚度增加至 2 盎司 (oz) 甚至 4 盎司以上，大幅降低走線電阻，從源頭上減少 I2R 線損發熱。同時，大量銅材的引入也顯著提升了 PCB 面內的橫向熱導率，使得熱量能夠沿著廣闊的板面迅速向四周擴散，避免局部熱點過度集中。

然而，單純依賴厚銅層進行面內均熱仍不足以解決垂直方向

的散熱瓶頸。為此，熱過孔陣列 (Thermal Via Array) 技術被廣泛導入高密度發熱元件 (如功率模組、VRM) 的底層設計中。透過在發熱源正下方的 PCB 區域密集鑽孔，並在孔壁或孔內進行實心電鍍填銅，工程師建立起無數條直達 PCB 背部甚至直接連接散熱底板的高速垂直導熱通道。這種熱過孔陣列將原本熱阻較高的 FR4 或其他樹脂介電層物理穿透，使得熱量能夠以最短路徑、最低熱阻的方式排出，徹底釋放了 PCB 作為立體導熱結構的潛力。

當冷卻架構進一步向極端

超高密場景演進，單相或雙相浸沒式液冷 (Immersion Cooling) 技術被提上日程，這對 PCB 的材料科學與工程設計提出了前所未有的嚴苛考驗。在浸沒式液冷環境下，PCB 必須長時間完全浸泡在氟化液或合成碳氫化合物等冷卻介質中。首先面臨的是介質耐受性與化學相容性問題。某些傳統的樹脂基材、阻焊綠漆 (Solder Mask) 甚至絲印油墨，在特定冷卻液的長期浸潤下，可能會發生溶脹、溶解或析出反應，不僅破壞 PCB 本身的絕緣防護，溶出的雜質更會污染冷卻液，導致流體黏度改變、散熱效率下降甚至引發泵浦故障。因此，必須嚴格甄選具備極高化學穩定性的特殊樹脂與無鹵素 (Halogen-free) 低吸水性基材，確保在長達數年的運維週期內，材料物理與化學性質不發生不可逆的衰減。

其次，浸沒式液冷環境極易誘發致命的導電陽極絲 (Conductive Anodic Filament, CAF) 效應。CAF 是在 PCB 內部沿著玻璃纖維紗線與樹脂介面之間，由陽極向陰極生長的導電銅鹽沉積物。在浸沒式液冷的微觀高濕度 (即使介質本身不含水，但也可能吸收環境微量水分) 與高電壓梯度 (如 800V DC 總線) 疊加下，CAF 效應會被急劇放大，最終導致相鄰導通孔或線路之間發生微觀短路，徹底燒毀算力節點。

為了有效抑制 CAF 效應的發生，新一代高階 PCB 必須採用具備超強防滲透能力的特種樹脂填料，並嚴格控制鑽孔製程與孔壁除膠渣 (Desmear) 品質，確保玻璃纖維束被樹脂完美包覆，不留任何微觀縫隙供電化學反應蔓延。此外，在傳輸頻率高達 112 Gbps 甚至 224 Gbps 的超高速串行互連 (SerDes) 環境中，浸沒式液冷介質的介電常數 (Dk) 與散耗因數 (Df) 會與 PCB 基材產生複雜的高頻耦合效應，導致嚴重的信號衰減、相位失真與阻抗不匹配。因此，PCB 疊層設計必須將冷卻介質的高頻電氣特性納入全波電磁場模擬仿真之中，精確補償 Dk/Df 漂移，確保龐大算力集群內部數據傳輸的絕對完整性。

次世代導熱介面材料 (TIM) 與散熱元件突破

在微觀熱阻網路中，即便封裝內部與散熱器本體具備極佳的傳熱性能，連接兩者的導熱介面材料 (Thermal Interface Material, TIM) 若處理不當，仍將成為整機散熱的致命弱點。針對超大尺寸、高密度的晶片封裝架構，健策電子 (Jentech) 等領先廠商在晶片級封裝散熱方案上取得了突破性進展。隨著台積電 CoWoS 等先進封裝尺寸不斷跨越多個光罩極限，龐大的封裝面積使得熱膨脹係數 (CTE) 失配引發的

宏觀翹曲效應呈指數級放大。為了壓制這種變形並提供高效的熱擴散路徑，健策電子推出了高階鍛造均熱片 (Forged Heat Spreader) 與均溫板 (Vapor Chamber, VC) 技術。透過精密的冷鍛或熱鍛製程，健策能夠將高導熱純銅加工成具備極端微觀平整度與複雜三維幾何形狀的熱沉結構。在極致的機械鎖緊壓力下，這種高剛性均熱片不僅能有效對抗晶圓級封裝的翹曲應力，維持界面材料厚度 (Bond Line Thickness, BLT) 的均勻性，更能在宏觀接觸面上實現亞微米級的平坦度，將 TIM1 的接觸熱阻壓縮至極限。此外，針對單顆 TDP 突破千瓦的終極發熱源，健策進一步開發了內部整合微流道 (Micro-channel) 的水冷散熱底板，將溫水冷卻液直接引入封裝頂部甚至晶片近端，實現極端熱流密度的近端均熱與高效抽離。

誠如健策電子 (Jentech) 研發工程人員所言：「隨著 CoWoS 封裝尺寸跨越數個光罩極限，均熱片已由單純的金屬蓋板演變為極精密微結構熱沉；鍛造微流道與均熱技術必須保證在極致機械鎖緊壓力下，界面材料厚度 (BLT) 維持均勻且熱阻達到亞微米級平坦度。」這深刻揭示了在物理尺寸與熱流密度雙重逼近極限的當下，散熱元件的機械精度與微觀力學控制已成為決定傳熱效率的

勝負手

在 TIM 材料本體層面，高柏科技 (T-Global Technology) 憑藉其完整的導熱材料體系，在伺服器電感、電源模組與 GPU 核心邊緣等複雜應用場景中展現了卓越的工程落地能力。高柏科技推出的 TG-A 系列高導熱矽膠墊片，透過高密度氮化鋁、氧化鋁等陶瓷粉體的精準複合填充，將導熱率一舉推升至 10~18 W/m*K 的旗艦水準，完美解決了高低不平的功率元件與散熱器之間的填縫導熱難題。而在 GPU 核心或 ASIC 等極端發熱點，高柏科技的超低熱阻相變材料 (Phase Change Material, PCM) 展現出無可替代的優勢。這種材料在常溫下呈現固態，便於模切與自動化貼裝；當晶片溫度上升並達到其相變臨界點 (通常設計在 45 deg C 至 60 deg C 之間) 時，PCM 會迅速軟化甚至部分液化，其黏度急劇下降，能夠在微小的機械壓力下完美浸潤晶片與熱沉表面的每一處微觀粗糙溝壑。這種極致的充填特性不僅徹底排除了界面處的高熱阻空氣層，更因其相變過程吸收大量潛熱，有效緩衝了晶片瞬態高負載下的溫度突波。

高柏科技 (T-Global) 研發技術專家指出：「在高密伺服器與高熱流密度晶片之間，單純提高導熱係數已觸發邊際效應，熱介面材料的微觀浸潤性、抗熱疲勞蠕變能力以及在長期

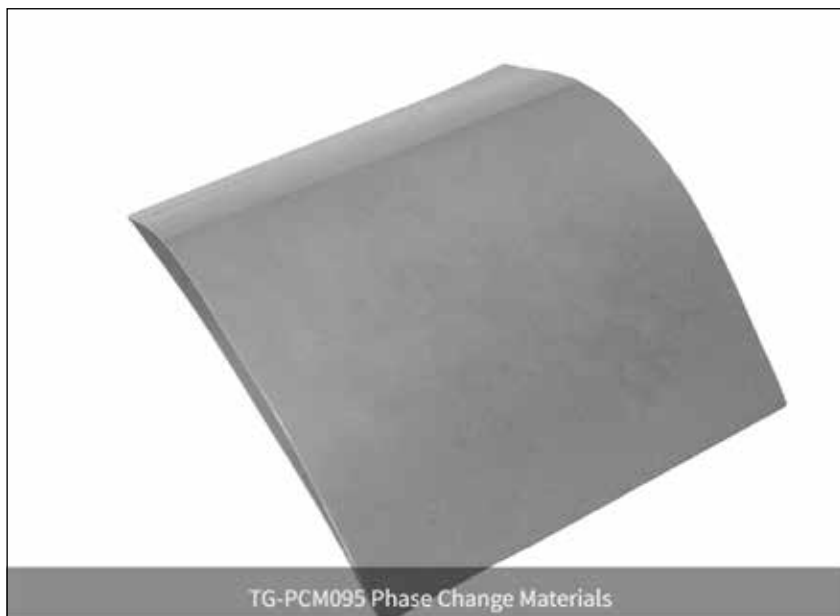
交變冷熱衝擊下不發生溢膠或泵出 (Pump-out)，才是工程落地的決定性指標。」事實上，在伺服器長達數年的高頻冷熱交變循環中，材料因熱脹冷縮會產生劇烈的微觀蠕動。傳統矽脂極易因此產生泵出效應 (Pump-out) 而流失，導致熱阻飆升；而高柏科技的 PCM 材料在冷卻固化後能夠牢牢鎖定在界面處，展現出極強的抗熱疲勞蠕變能力，確保了算力中心全生命週期內的熱學穩定性。結合超薄均溫板在狹小空間內的面內高效導熱，高柏科技為高密算力提供了全方位的柔性與相變熱管理防線。

在更為底層的晶片至基板的 Die Attach 鍵合製程上，抗氧化微米銅燒結技術正掀起一場材料革命。傳統高功率模組多採用高成本的低溫奈米銀

燒結技術，然而銀金屬不僅價格昂貴，在高電場高濕環境下極易發生電化學銀遷移 (Silver Migration) 引發短路。以 CuNex GmbH 與賀利氏電子 (Heraeus Electronics) PE360 方案為代表的抗氧化微米銅燒結技術，透過獨家原位還原有機載體配方，成功攻克了銅微觀顆粒在空氣中極易氧化的世界級難題，實現了在常規氮氣甚至開放環境下的低溫低壓燒結。

Heraeus Electronics 功率材料首席專家表示：「微米銅燒結技術的規模化驗證證明，在保證與銀燒結同等甚至更優熱導率的前提下，銅燒結實現了 80% 的材料級降本，正在成為高功率半導體封裝介面熱阻突破的關鍵路徑。」實測數據表明，燒結完成的純銅金屬網路導熱率高達 220~280 W/m.K，

圖說：T 高柏科技 (T-Global) PCM 相變材料



資料來源：<https://www.tglobalcorp.com/tw/products-detail/tg-pcm095/>

表 2：旗艦導熱介面材料與封裝熱沉對標表（健策鍛造均熱片 vs 高柏矽膠墊 /PCM vs 微米銅燒結 vs 金剛石熱沉 vs 液態金屬）

導熱介面與熱沉技術類型	核心供應商與代表方案	典型本體導熱率 (W/m.K)	關鍵物理特性與工程優勢	高密算力應用場景與極限挑戰
高階鍛造均熱片與微流道底板	健策電子 (Jentech)	約 398 (純銅本體)	極致微觀平整度控制，抗大封裝 CTE 翹曲應尺寸力。	高機械剛性對 CoWoS 等 2.5D/3D 先進封裝頂部熱沉；需確保極限鎖緊壓力下的 BLT 均勻性。
高導熱矽膠墊片 / 超低熱阻 PCM	高柏科技 (T-Global)	10~18 (TG-A) / PCM 具相變潛熱	絕佳填縫浸潤性，PCM 相變無空氣殘留，抗交變熱疲勞蠕變與泵出 (Pump-out) 效應。	VRM、電感填縫與 GPU 核心邊緣；對極端熱點的穩態導熱上限受限於非金屬基質。
抗氧化微米銅燒結 (Copper Sintering)	賀利氏 (PE360) / CuNex	220~280 (燒結後連續銅相)	材料成本較銀燒結降低 80%，高溫蠕變抗性極強，無銀遷移短路風險。	高階功率模組與 AI 晶片 Die Attach 鍵合；需相容產線氣氛保護與精準壓力控制。
金剛石複合熱沉 (Diamond-Cu/Al)	全球先進材料研發機構	600~1000+ (依金剛石佔比)	打破常規金屬與陶瓷熱導率天花板，兼具低 CTE 特性。	千瓦級極端熱點近端散熱嘗試；加工困難、成本高昂且大面積良率亟待突破。
液態金屬 (Liquid Metal) 密封體系	多家高階 DIY 與專業工作站品牌	40~80 (鎳錫合金)	室溫液態，極致的微觀界面浸潤與超薄 BLT，接觸熱阻趨近於零。	單卡 600W+ 旗艦 GPU 核心塗佈；長期可靠性受限於流動溢出防護與鋁介質腐蝕。

使得界面熱阻大幅降低 40%，且極限熱震壽命超過 5000 次，徹底超越了傳統軟鈎錫料的物理極限。此外，為應對 1000 W/cm² 以上的終極熱流密度，學界與產業界正在積極佈局金剛石複合熱沉 (Diamond-Cu / Diamond-Al，本體導熱率突破 600~1000 W/m.K)、具備極高垂直導熱通道的奈米碳管陣列 (CNT)，以及透過先進密封技術克服流動溢出與腐蝕問題的液態金屬 (Liquid Metal) 介面材料，為未來超高密算力架構儲備下一代極限熱控武器。

小結：

整體來看，當前高密算力晶片的散熱困境，已經不再單

純是「散熱器夠不夠強」的問題，而是涉及熱學、力學、材料、封裝製程等多項技術的系統工程問題。面對 500 W/cm² 以上局部熱流的物理極限，僅靠提升單一材料熱導率已經遇到明顯邊際效益；必須在晶圓級階段就將熱阻、熱機應力、翹曲、介面可靠性納入一體化設計。

玻璃基板搭配 TGV 銅穿孔、高剛性鍛造均熱結構、抗疲勞相變 TIM、微米銅燒結、浸沒液冷專用 PCB 等技術，構成次世代算力硬體的熱管理技術基礎。與此同時，金剛石複合熱沉、奈米碳管、密封液態金屬等前沿技術仍存在成本、製造良率或長期可靠性挑戰，

尚待產業進一步驗證。未來隨著 3D 封裝、多晶片異質整合持續向前演進，封裝？基板 - 導熱材料的協同創新，將決定 AI 算力集群能否持續向上擴展的關鍵底線。

參考資料來源：

- 健策電子 (Jentech) 官網產品專區
- T-Global 高柏科技官網產品體系
- TSMC Advanced Packaging Official
- Yole Group 先進半導體封裝熱管理白皮書 