

AMD FPGA 白皮書

LUT6 相較於傳統 LUT4 架構的競爭優勢

在實現 FPGA 效能和功耗最佳化的同時最大程度地降低成本，仍然是 FPGA 設計人員面臨的一項關鍵挑戰。AMD 成本最佳化的 FPGA 提供了一款兼具高效能和低功耗的平衡解決方案。LUT6 架構實現了利用率優勢，有助於客戶選擇更小型、更低成本的元件。利用率優勢與較高散熱效率的封裝結合，可同時降低靜態和動態功耗。

■作者：AMD

經認證的 AMD 成本最佳化產品

AMD 在提供成本最佳化元件方面有可靠的良好記錄，可以追溯至前幾代產品。許多廠商皆嘗試進入此市場，對於設計人員而言，重要的是瞭解不同架構之間的權衡。本文提供了基於數據的比較，以協助客戶做出明智的決策。

低密度應用的優先考量：成本、功耗、尺寸

許多要求低於 200 kLC 的應用（在本文中稱為「低密度解決方案」），通常優先考慮以下三個關鍵因素：成本、功耗和尺寸。儘管看似擁有豐富的選項，但此領域大部分的同類型元件皆採用過時的傳統架構和傳統介面，以提供低成本的解決方案。

其它考慮因素

在選擇適合特定應用的 FPGA 時，通常需要考慮多個因素，包括晶片功能、軟體設計環境、工具和現場支援。

AMD 為以下領域提供最新技術：

- 可程式化設計邏輯
- 介面

■封裝

■設計工具與 IP

6-Input LUT：為效能進行最佳化

自 FPGA 推出以來，各種可程式化設計邏輯架構已經過評估，首先從 LUT 架構的基礎開始。通常而言：

■4-input 對照表 (LUT) 為區域利用率進行了最佳化

■6-input LUT 為效能進行了最佳化

本白皮書重點介紹了高階應用的創新優勢、6-input LUT 架構的利用率優勢，以及低階應用的效能和功耗優勢。

LUT6 晶片的利用率優勢

賽靈思（現為 AMD）於 1984 年創建了首款 FPGA，包括 2 個 3-input LUT 和 1 個暫存器，並在不久之後推出 4-input LUT。儘管許多 FPGA 廠商已嘗試透過 5-input、6-input 和 7-input LUT 來提高效能，但大部分低密度 FPGA 同類型產品仍基於 LUT4 架構。

AMD 在過去十年間推出的所有 FPGA 均採用 LUT6 架構

圖 1、圖 2 分別展示了 AMD 和萊迪思 (Lattice) 元件中的 LUT 執行方式。

圖 1：UltraScale+ 元件中使用 1 個 AMD LUT6 FPGA 架構塊

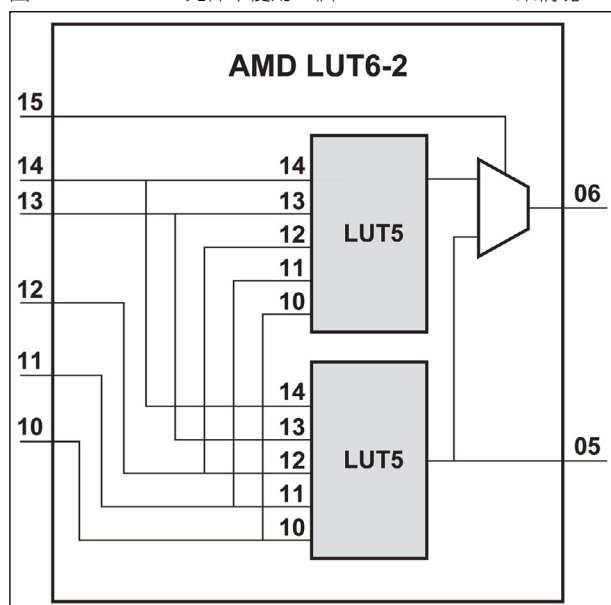


圖 2：2 個萊迪思 LUT4 FPGA 架構塊

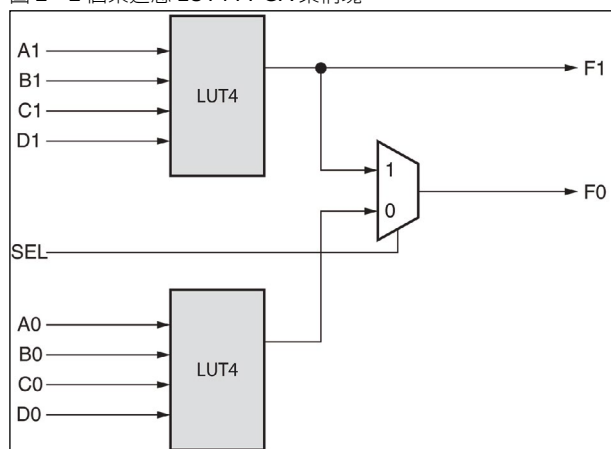


表 1：用於測試的 AMD 和萊迪思元件、速度等級和工具

廠商	AMD		Lattice	
	製程節點	系列	製程節點	系列
	28 nm	Artix 7 FPGA	28 nm	MachXO5 -NX FPGA
	16 nm	Artix UltraScale+ FPGA	16 nm	Avant -E FPGA
元件	7A100T	AU7P	LFMXO5-25	LAV-AT-E70
速度等級	-1L	-2、-1、-1LV	9HP、7LP、9LP 和 7HP	-1、-3
軟體工具	AMD Vivado 設計套件		Lattice Radiant 設計軟體	
工具版本	Vivado 2024.1		Radiant 2024.1	

用於分析的元件、速度等級和軟體工具

在評估特定 LUT 架構的功能時，關鍵參數之一是利用率，用於測量特定設計與這些資源的映射程度。

為了評估不同 LUT 架構之間的利用率差異，AMD 進行了全面的分析，針對 AMD 和同類型萊迪思元件執行了 30 個開放式核心 (OC) 設計。下表描述了用於測試的元件、速度等級和軟體工具。

結果：LUT6 架構使用的 LUT 比 LUT4 架構平均少 40%

在 AMD 和萊迪思的工具上記錄了每個開放式核心 (OC) 設計的 LUT 利用率。計算 LUT 利用率的幾何平均值，結果顯示 AMD 元件上使用的 LUT 平均減少約 40%。因此，可以推論 LUT6 架構使用的 LUT 比 LUT4 FPGA 架構平均少 40%。

減少的 40% 帶來了多項優勢：其直接影響到設計佔用面積，與萊迪思的元件尺寸相比，您可以選擇更低密度的 AMD 元件來實現相同功能。選擇較小邏輯密度的元件還能節省靜態功耗，我們將在下一章節討論這部分。請參見圖 3，展示了 LUT6 架構使設計利用率減少 40%。在本案例中，由於 LUT6 減少 40% 的利用率，適用於 Avant E 50 的設計同時也適用於 AMD Spartan UltraScale+ SU200P FPGA。

圖 3：展示 LUT6 架構使設計利用率減少 40%

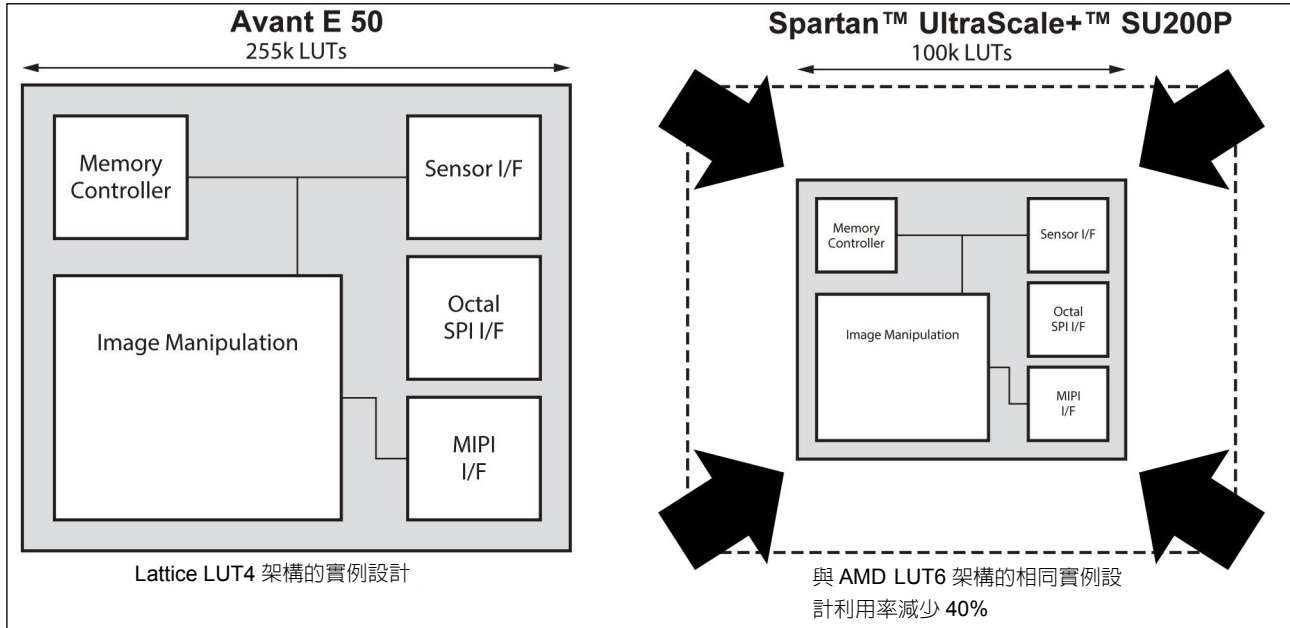


圖 4：同類型萊迪思元件映射到較小型的 AMD 元件

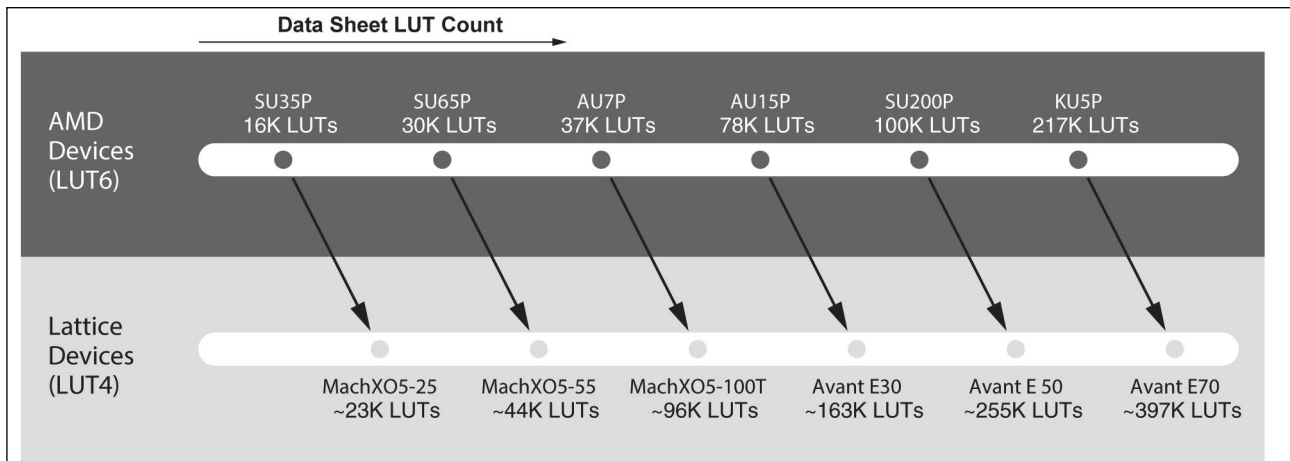


圖 4 顯示在考慮 40% 的利用率優勢後，AMD 與萊迪思元件的映射情況。

LUT6 架構的卓越效能

除了上述 LUT6 的利用率優勢，我們的基準測試顯示，AMD UltraScale+ FPGA 相較於萊迪思 Avant 可提供高於 1.8 倍的 F_{MAX} 優勢，且相較於萊迪思 Nexus 可提供高於 2.7 倍的 F_{MAX} 。

在上述元件上執行相同的 30 個開放式核

心設計，在此基礎上，透過反覆運算執行設計確定每個元件的 F_{MAX} ，直到元件無法滿足時序約束，並記錄結果和幾何平均值。

結果：AMD 大約快 2 個速度等級

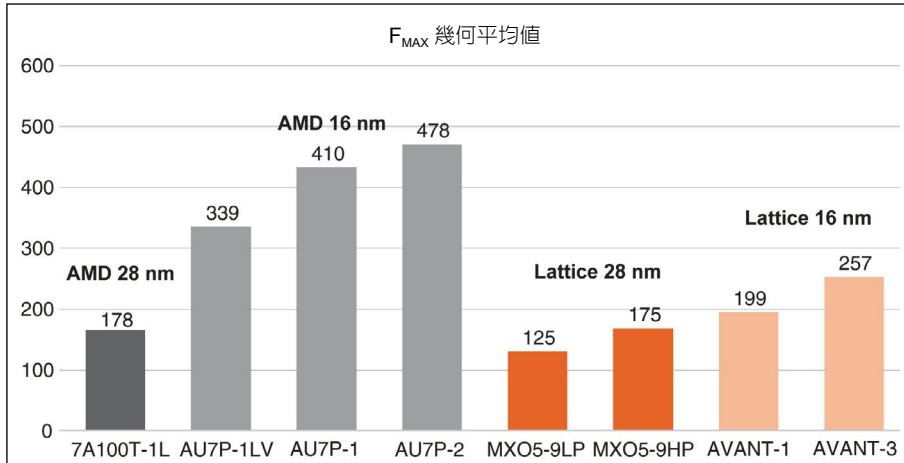
圖 5 資料的總結：

■ AMD UltraScale+ -1LV 元件比 Avant -3 快 27%，「大約快 2 個速度等級。」

■ 萊迪思 Avant 的最快速度等級 (-3) 比其最慢速度等級 (-1) 快 29%。

○ 這表明約 29% 的 F_{MAX} 差異大致對應於萊迪

圖 5：AMD 和 Lattice 元件的 F_{MAX} 幾何平均值



結果：AMD UltraScale+ FPGA 的 F_{MAX} 比萊迪思 Avant 高出 1.8 倍，比萊迪思 Nexus 高出 2.7 倍

AMD 提供多種速度與內核電壓選項

AMD Spartan 和 Artix UltraScale+ 元件提供多種速度和內核電壓選項。表 2 提供了基於公開資料表的時

脈網路 F_{MAX} 比較。

思 Avant 的「2 個速度等級。」

在圖 5 中，取 AMD 16nm 最高速度等級元件 (AU7P -2, 507 MHz) 與萊迪思 16nm 最高速度等級元件 (Avant E70 -3, 278 MHz) 的比值，顯示 AMD 的 F_{MAX} 高出 1.8 倍。

深入分析後，圖 6 展示了針對每個開放式核心 (OC) 設計執行測試的每個元件的獨立 F_{MAX} 結果。AMD 幾乎在所有設計中皆提供了優異的效能。

結果：利用兩個速度等級優勢，您可以利用更低密度的部件實現更多功能。

表 2 總結：

■ AMD UltraScale+ -1LV (VLOW, 0.72V) 元件的效能可與在更高內核電壓 0.82V 下執行的萊迪思 Avant -3 速度等級的元件相匹配。

圖 6：針對 AMD 和萊迪思元件執行所有設計所繪製的 F_{MAX} 圖

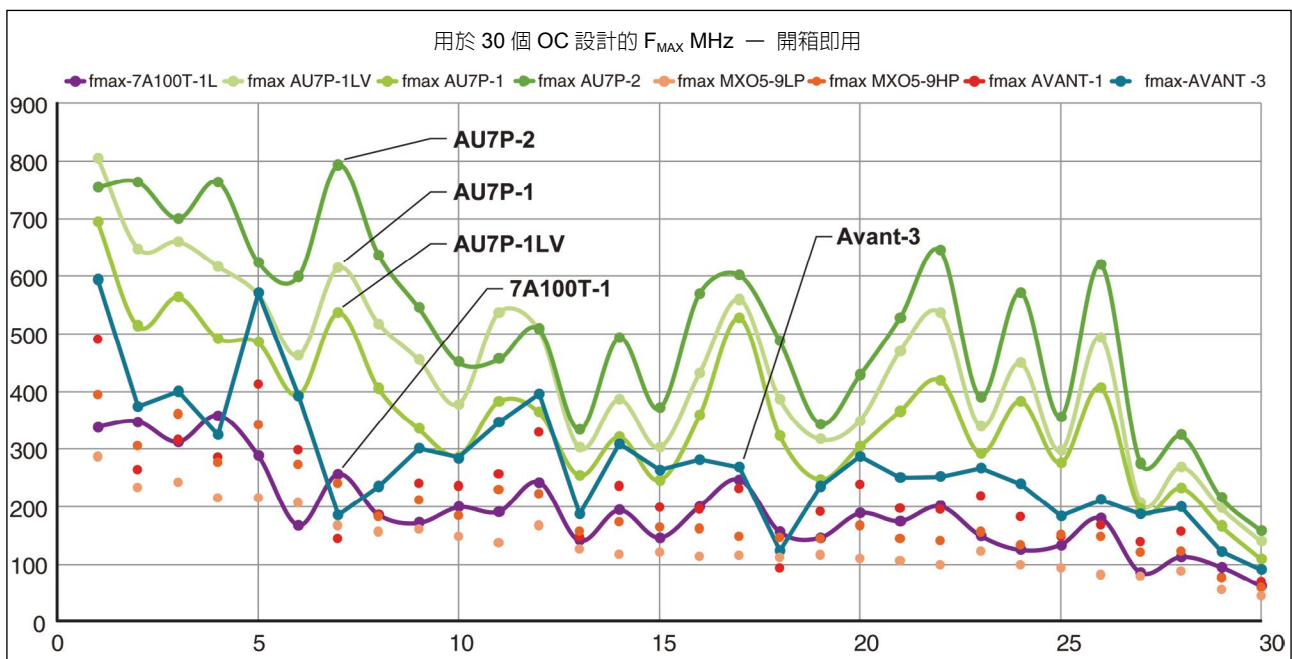


表 2：基於公開資料表的 AMD 與萊迪思 FPGA 時脈 F_{MAX} 比較

Core Voltage (V)	NX Speed Grades (Mach, CertusPro)	NX F_{MAX} (MHz)	Avant Speed Grades	Avant F_{MAX} (MHz)	Artix 7 Speed Grades	Artix 7 F_{MAX} (MHz)	UltraScale+ Speed Grades	UltraScale+ F_{MAX} (MHz)
0.72							-1LV -2LV	667 725
0.82			-1 -2 -3	375 500 625				
0.85							-1 -2	667 775
0.9					-2L	394	-3	891
0.95					-1L	464		
1.0	-7 -8 -9	276 325 400			-1 -2 -3	628		

■ 這種低電壓執行能夠降低靜態和動態功耗

0 同類型競爭對手往往在功耗效能分析中忽略了這一點，經常將 AMD VNOM (0.85V) 元件與其產品進行比較，而這並不是真正的比較，由於 AMD 提供的低電壓選項，其效能可以匹敵甚至超越萊迪思的 VNOM 效能。這展現 AMD -1LV 部件的效能可匹敵萊迪思的產品組合。

以更少的邏輯實現更多功能

AMD 成本最佳化的 FPGA 產品組合提供靈活的 FPGA 架構，使您的設計能以 150 至 500+ MHz 的速度執行，以滿足不同應用的需求。若較慢的萊迪思元件無法滿足時序要求，您不得不改為採用更快的萊迪思元件，這會消除選擇較慢元件可能帶來的節能。使用 AMD 元件不存在這種情況。利用兩個速度等級的優勢，您能以更少的邏輯實現更多功能。選擇更小型且支援 LUT6 的元件即可實現與基於 LUT4 更大元件相同的功能。

更快地執行設計帶來兩種可能性：

1. 利用該效能來使用更少的資源，從而縮小整體設計，選擇更小型的元件，實現降低總功耗和 BOM 成本。

2. 保持元件尺寸不變，選擇將效能用於未來擴展，以延長使用壽命。

正如本章節展示的資料所示，透過在高階產品組合中利用架構創新，低階產品組合也能顯著受益。這自然引導出關於功耗與散熱的問題，我們將在接下來的章節中進行分析。

封裝散熱優勢

在考慮元件功耗時，您需要評估以下 2 個方面：

- 動態功耗：直接取決於使用的資源、時脈速率和切換速率；
- 靜態功耗：與資源利用率無關，而與元件的接面溫度 (T_j) 成比例。

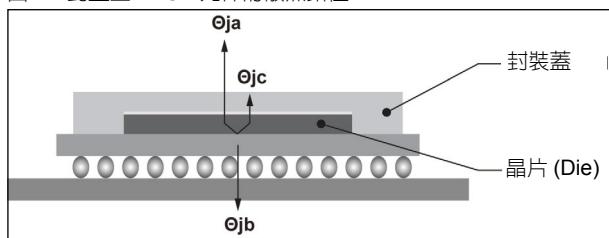
為了最大程度地降低系統成本，成本敏感型產品通常採用被動散熱解決方案。這使得封裝的熱效能在確定靜態功耗方面變得至關重要。

評估熱效能

為了評估封裝的散熱效能，設計人員必須考慮以下 3 種主要的散熱路徑：

- θ_{ja} - 從接點到環境的熱阻係數；
- θ_{jb} - 從接點到电路板的熱阻係數；
- θ_{jc} - 從接點到外殼或散熱器的熱阻係數 (若

圖 7：封蓋型 FPGA 元件的散熱路徑



適用)

熱阻係數越高，透過材料的熱傳遞越少，這意味著在相同負載和散熱解決方案下，晶片的溫度越高。如上所述，這將導致更高的靜態功耗。對於無散熱器的低成本應用，設計人員應考慮 $\theta_{ja} 0 \text{ LFM}$ ，可以測量在沒有空氣流動時向周圍環境的散熱。

基於公開資料表、使用者指南和 Radiant 工具的分析，可以發現 AMD 封裝在靜止空氣條件下的結點至環境的散熱 (θ_{ja}) 平均可降低至 34%^註。假設動態功耗相似，將實現更簡單的熱解決方案和更低的靜態功耗。這意味著，根據環境條件和設計的動態功耗，可能無需採用額外的散熱解決方案。這種簡化的散熱解決方案可能會降低系統總成本。

結果：AMD 將結點至環境的散熱降低至 34%

在總功耗分析中，使用 100°C (T_j) 的固定結溫進行評估。這模擬了標準的客戶比較情況。

接著使用 Radiant 工具中列出的 JEDEC θ_{ja} 靜止空氣條件下的「最高安全環境溫度」。這個最高安全環境溫度應用於 AMD 元件及其對應的 θ_{ja} ，以進行 AMD 估算。

結果：更低的 θ_{ja} 意味著更低的 T_j 和更低的靜態功耗

由於 AMD 元件在相同尺寸下的 θ_{ja} 值更低，因此可實現更低的 T_j 和靜態功耗。這些結

果在後續分析中顯示為「散熱優勢」。需要注意的是，隨著元件動態功耗的增加，AMD 封裝可顯著降低接面溫度。在某些情況下，萊迪思元件列出的「最高安全環境溫度」為零下溫度，這表明需要採用散熱解決方案或封裝的專用氣流，將會增加解決方案的成本和複雜性。

實現更低的總功耗

本章節對 AMD LUT6 與萊迪思 LUT4 元件的功耗進行了詳細比較。這些功耗估算使用各廠商的功耗估算工具：萊迪思 Radiant 軟體，以及賽靈思 Power Estimator (XPE) 或 Power Design Manager (PDM)，具體取決於目標 AMD 元件。

功耗比較：設置

在元件利用率方面，我們假設萊迪思元件的可用架構資源利用率為 80%。下一步是將前一章節所提及的 LUT6 減少 40% 的利用率應用於 LUT4。接著將這 40% 減少的利用率應用於等效的 AMD 元件。在兩種情況下，這些資源將輸入到各自的功耗估算工具中。請注意，40% 的減少僅應用於 LUT，所有其他資源保持不變，以進行比較。

上述假設用於動態功耗的比較。在比較不同廠商的產品時，通常假設接面溫度相同。然而，這並未考慮可用封裝的散熱優勢。為了在比較中考慮靜態功耗，設置估算的環境溫度 (T_A)，使萊迪思元件的接面溫度 (T_j) 達到 100°C，假設最壞情況和典型的成本受限部署。

註：此分析基於 JESD51 的封裝規範，實際結果可能會有所不同。

相同的環境溫度也應用於 XPE 或 PDM，具體取決於目標元件，同時結合封裝的 θ_{ja} 來

估算接面溫度 (T_j)。接面溫度會導致更低的靜態功耗。

圖 8 展示在 100 MHz 下測量的 MachXO5-NX LFMXO5-25、Spartan UltraScale+ SU35P 和 Artix 7 XA25T 的總功耗，涵蓋各種速度等

圖 8：MachXO5-25、Spartan UltraScale+ SU35P 和 Artix 7 25T 的總功耗 (單位：瓦)

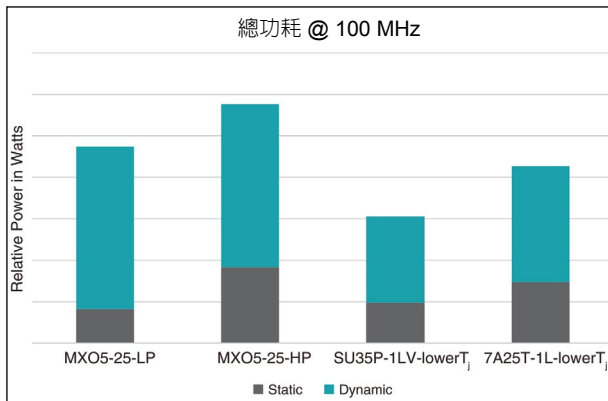


圖 9：Artix 7 7A50T、Artix 7 7A75T、Artix UltraScale+ AU7P、CertusPro-NX-50 和 MachXO5-100 的總功耗 (單位：瓦)

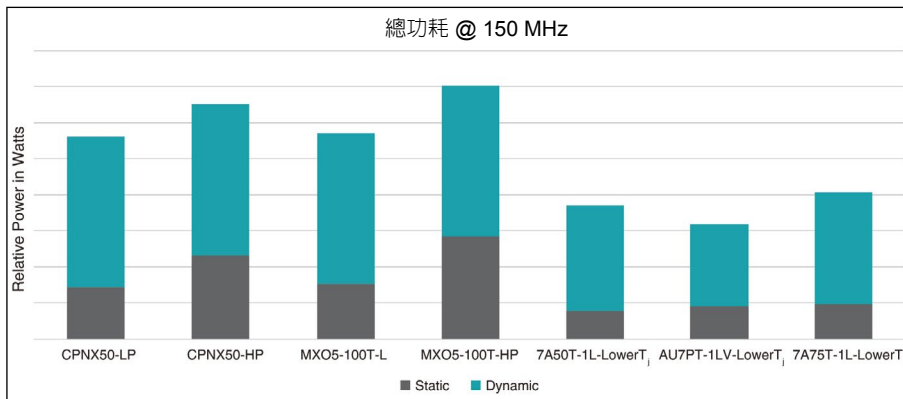
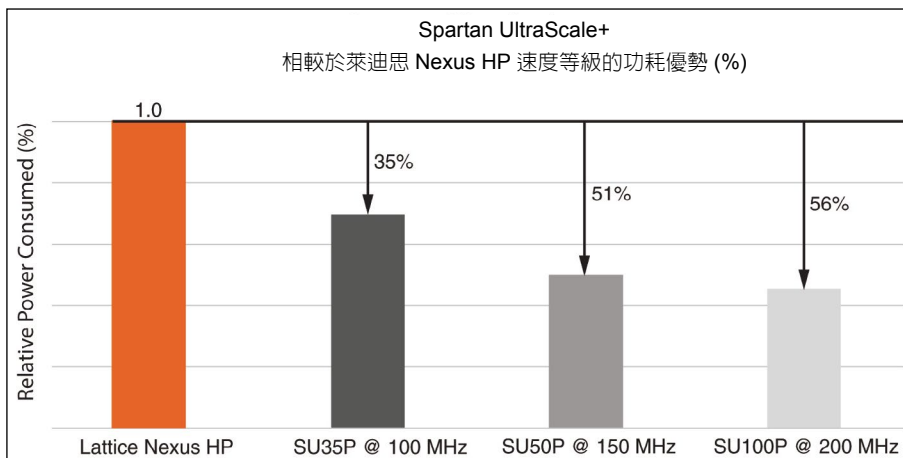


圖 10：AMD Spartan UltraScale+ FPGA 相較於萊迪思 Nexus HP 的功耗優勢 (%)



級。圖 9 包括在 150 MHz 下 Artix UltraScale+ AU7P、CertusPro-NX-50、MachXO5-100、Artix 7 50T 和 Artix 7 75T 的總功耗。

結果：AMD UltraScale+ FPGA 的總功耗優於萊迪思的 Nexus 和 Avant 平台

Spartan UltraScale+ FPGA 的功耗資料是基於 UltraScale+ 架構和初步封裝資料的估算值。此外，僅針對 LUT 加入 LUT6 的 40% 利用率減少的優勢，所有其他資源 (Block RAM、DSP、HDIO 等) 保持不變。

在圖 10 展示的^註高效能設計和圖 11 展示的^註低功耗設計中，我們可以看到每個元件 (SU35P、SU50P 和 SU100P) 的功耗優勢 (以百分比顯示)。

註：萊迪思 Nexus HP 和 LP 包括 3 款元件：Mach XO5-NX 25、CertusPro-NX 100 和 Mach XO5-NX 100T。這 3 種元件的功耗均標準化為 100%。

然後計算這些結果的幾何平均值，得出 Spartan UltraScale+ FPGA 的總功耗比萊迪思 28nm Nexus 平台低至 36%。對於高效能設計，Spartan UltraScale+ FPGA 的總功耗比萊迪思 Nexus FPGA 低至 46%。

在圖 12 中，AMD Kintex UltraScale+ KU5P FPGA 的靜態功耗顯著低於萊迪思 Avant E70。這是因為 Radiant 工具要求在零下環境溫度 (-18°C) 下執行，以保持 Avant E70 在靜止

圖 11：AMD Spartan UltraScale+ FPGA 相較於萊迪思 Nexus LP 的功耗優勢 (%)

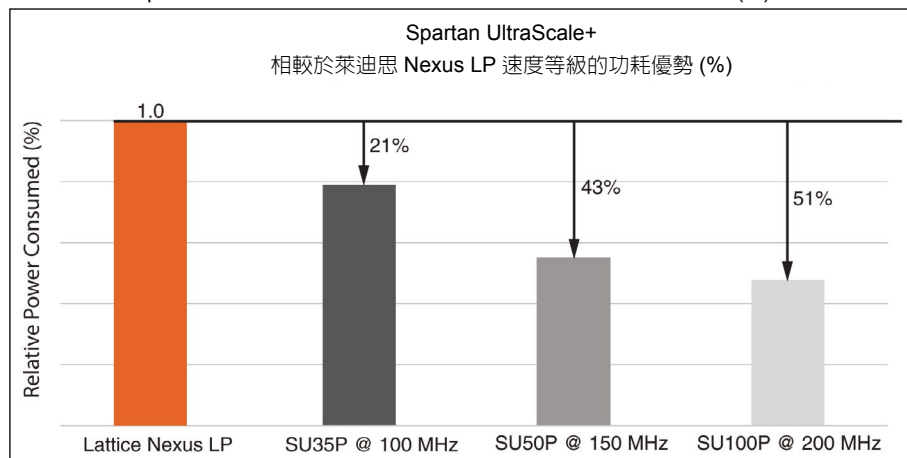
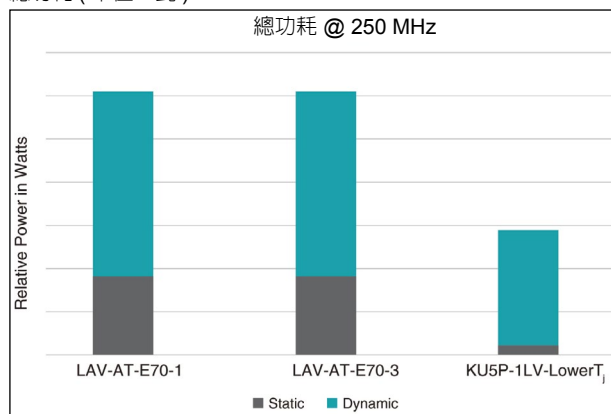


圖 12：萊迪思 Avant E70 與 AMD Kintex UltraScale+ KU5P 的總功耗 (單位：瓦)



空氣散熱條件下的溫度低於 100°C。因此，當元件執行頻率超過 200 MHz 時，萊迪思 Avant E70 在正常環境溫度下需要散熱器。相較之下，AMD 元件 (KU5P) 提供更低的動態功耗和優異的封裝熱特性，顯著降低了接面溫度，從而減少了靜態功耗。

功耗比較：總結

以上展示總功耗 (單位：瓦) 的圖表顯示 AMD 成本最佳化的產品組合在總功耗方面優於萊迪思的 Nexus 和 Avant 產品組合。AMD -1L 部件在功耗和效能方面均可與萊迪思產品線的低功耗 (LP) 和高效能 (HP) 速度等級相匹敵。

選擇較小元件所帶來的動態功耗節省，以及採用散熱高效封裝所實現的靜態功耗節

省，使其總功耗優於同類型產品。AMD 成本最佳化的 FPGA 在相同功耗範圍內提供更高的效能，或在相同 FMAX 下實現更低功耗。

憑藉 LUT6 減少資源利用率的優勢，您可以選擇更小型的元件，使其根據需要快速執行，同時借助散熱高效的封裝使其保持更低的執行溫度。這些因素共同形

成了一個滿足功耗限制需求的解決方案。選擇 AMD，無需在效能和功耗之間做出妥協。

結論

AMD 成本最佳化的 FPGA 提供了一個兼具高效能和低功耗的平衡解決方案。透過採用具有更低內核電壓以及散熱高效封裝的較小型元件，可同時實現動態和靜態功耗節省。這意味著您可以在相同功耗範圍內享受更高效能，或在相同最大頻率下降低功耗——皆無需在效能或功耗上做出妥協。此外，這些架構優勢更有助於降低整體 BOM 成本。

AMD 成本最佳化型產品組合提供領先業界的晶片和現代化介面，從而創建滿足未來需求的元件並最大化使用壽命。

(欲瞭解更多資訊，請直接聯繫 [AMD:https://docs.amd.com/](https://docs.amd.com/))