

超低雜訊開關穩壓器在雜訊敏感型射頻應用中的優勢

■作者：Xingxuan Huang / ADI 資深工程師

新型超低雜訊開關穩壓器具有超低雜訊、高效率、精巧尺寸和大電流的特點，非常適合各種對雜訊敏感的射頻應用場景，包括 5G/無線通訊、防務領域、儀器儀錶等。Silent Switcher 3 進階型開關穩壓器系列擁有超低的輸出雜訊，在低頻範圍 (0.1 Hz 至 100 kHz) 內，其雜訊甚至比大多數低壓差 (LDO) 穩壓器還要低。本文研究了相較於傳統的降壓式穩壓器加 LDO 穩壓器解決方案，在雜訊敏感型 RF 系統中應用超低雜訊開關穩壓器所面臨的挑戰和系統優勢。此研究基於兩個具有代表性的 RF 應用案例：一個是高性能鎖相迴路 (PLL) 時脈，另一個則是進階型高速類比數位轉換器 (ADC) 系統。透過合理的控制迴路和濾波器設計，基於超低雜訊開關穩壓器的新型單級解決方案可為客戶節省印刷電路板 (PCB) 空間和成本，具有解決方案尺寸更精巧、結構更簡潔、效率更高的特點，同時仍能達到卓越的系統性能。

引言

射頻 (RF) 系統對電源解決方案的雜訊性能提出了更嚴格的要求，因為要應用於包括航空航太與防務、5G 無線應用、醫療設備、儀器儀錶等在內的多種領域。電源解決方案的輸出雜訊低是維持系統出眾性能的關鍵因素之一。因此，雜訊敏感型 RF 應用的市佔率正在迅速

擴大。傳統上，降壓式 (buck) 穩壓器與低壓差 (LDO) 穩壓器組合而成的電源樹解決方案在雜訊敏感型應用中佔據主導地位。然而，隨著下一代產品中的負載消耗的電流越來越大，降壓式穩壓器與 LDO 穩壓器組合的解決方案成為了系統瓶頸。受限於 LDO 穩壓器有限的電流承載能力，此類解決方案暴露出尺寸大、成本高、損耗顯著等弊端。

近年來，超低雜訊開關穩壓器得到了發展，具備卓越的電磁幹擾 (EMI) 性能及超低的低頻 (0.1 Hz 至 100 kHz) 雜訊。^{1,2,3} 先進的超低雜訊開關穩壓器的低頻雜訊可媲美市面上性能最佳的超低雜訊 LDO 穩壓器。進階型超低雜訊開關穩壓器在雜訊敏感型應用領域中堪稱變革性的存在，兼顧超低雜訊、高電流承載能力、高效率和精巧尺寸的優勢。

Silent Switcher 3 是創新的超低雜訊開關穩壓器系列，在上述四個關鍵性能維度均處於業界領先水準。¹ 此前，ADI 推出的 Silent Switcher 1 和 2 系列已成為開關穩壓器領域的標竿之作，以高效率、低電磁幹擾雜訊和精巧尺寸解決方案著稱，能夠支援最高 65 V 的輸入電壓和 30 A 的輸出電流。而 Silent Switcher 3 則在 Silent Switcher 1 和 2 的成功技術基礎上進一步革新，相較於 LDO 穩壓器，能更高效地輸出大電流，僅靠單一積體電路 (採用 4 mm×4 mm 的精小型封裝)，就能實現高達 16

A 的電流輸出。相較於 Silent Switcher 2 系列，Silent Switcher 3 系列憑藉創新的電路與結構設計，成功實現了超低的低頻輸出雜訊。¹ 如表 1 所示，Silent Switcher 3 穩壓器在低頻範圍內的輸出雜訊低於未採用超低雜訊設計的 LDO 穩壓器。因此，在雜訊敏感型 RF 應用中，基於單一超低雜訊開關穩壓器的單級電源解決方案在取代傳統的降壓式穩壓器加 LDO 穩壓器解決方案方面極具競爭力。本文將依託多個案例研究，介紹在雜訊敏感型應用中採用超低雜訊開關穩壓器 Silent Switcher 3 所帶來的系統性能及顯著優勢。同時，文中還將詳細闡述如何充分利用 Silent Switcher 3 穩壓器在元件層面的優異性能，實現預期的系統層面性能目標。

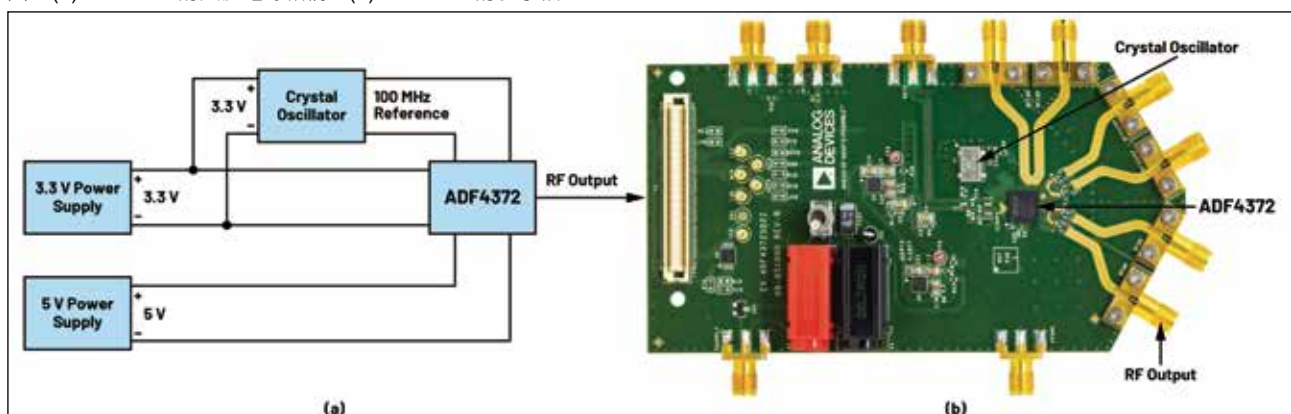
使用超低雜訊開關穩壓器為鎖相迴路 (PLL) 供電

RF 系統中的許多元件和系統對雜訊都很敏感，例如 PLL、高速 ADC/DAC、混合訊號

表 1: 不同電源的輸出雜訊比較

電源	積分雜訊 (10 Hz 至 100 kHz)
超低雜訊 LDO 穩壓器 (LT3045)	0.8 $\mu\text{V rms}$
鋰離子電池	2.7 $\mu\text{V rms}$
Silent Switcher 3 穩壓器 (LT8625S, 高頻寬)	2.7 $\mu\text{V rms}$
Silent Switcher 3 穩壓器 (LT8625S, 低頻寬)	4 $\mu\text{V rms}$
未採用超低雜訊設計的 LDO 穩壓器	20 $\mu\text{V rms}$ 至 100 $\mu\text{V rms}$

圖 1:(a) ADF4372 的具體電源結構；(b) ADF4372 的展示板。



前端 MxFE 等。特別是高性能 PLL，其是 RF 系統中最重要元件之一，能為 ADC、DAC、FPGA 和其他數位和混合訊號 IC 提供所需的高品質時脈訊號。本節將探討如何利用基於 Silent Switcher 3 技術的單級解決方案，為高性能 PLL 供電並實現卓越的 PLL 性能。本次研究選用了 ADF4372，這是一款廣受歡迎的額定頻率為 5 GHz 的高性能 PLL 頻率合成器。⁴ 圖 1 顯示了詳細的電源結構和用於實驗研究的展示板。

在 RF 應用中，高性能 PLL 的性能主要依據一項關鍵指標予以評估，即相位雜訊。相位雜訊的計算方式為，將 1 Hz 頻寬範圍內的雜訊功率相對於主 RF 訊號功率做歸一化處理，其詳細定義如公式 1 所示。

$$\text{Phase Noise} = 10 \times \log_{10} \left(\frac{\text{Noise Power Density in 1 Hz Bandwidth}}{\text{Carrier Power}} \right) \quad (1)$$

因此，相位雜訊始終為負數，其值越低越

理想。相位雜訊的單位是 dBc/Hz，其中 c 表示該值是根據載波功率進行歸一化處理所得。如圖 1 所示，ADF4372 需要兩條電源軌，分

別為 3.3 V 和 5 V。其中，5 V 電源軌的敏感度最高，因為它為 PLL 內部的壓控振盪器 (VCO) 供電。⁴ 在本案例研究中，3.3 V 電源始終由超低雜訊 LDO 穩壓器 (LT3045) 供應，而 5 V 電源則由 Silent Switcher 3 穩壓器驅動，目的在研究 Silent Switcher 3 穩壓器對 RF 輸出訊號相位雜訊的影響。

圖 2 提供了在採用基於 Silent Switcher 3 穩壓器 (LT8625S) 的單級解決方案為 PLL 的 5V 電源軌供電時，其相位雜訊性能的基準評估結果。² 基準評估使用的是 LT8625S 展示板，僅對展示板進行了最小限度的改動以實現 5V 供電。如圖 2 所示，在這種情況下，ADF4372 仍能實現卓越的相位雜訊表現。從 10Hz 到 100kHz，所測得的相位雜訊與採用 LDO 穩壓器為 5V 電源軌供電時的情況近乎一致。然而，在約 250kHz 處出現了一個尖峰，導致在 100kHz 至 500kHz 範圍內的相位雜訊略有升高。約 250kHz 處的相位雜訊尖峰是由 Silent Switcher 3 穩壓器的輸出雜訊引起的，該穩壓器在此頻率範圍內的輸出雜訊也有一個平臺區。由於 VCO 的輸出對其電源雜訊高度敏感，Silent Switcher 3 穩壓器的輸出雜訊會傳導至輸出 RF 訊號的相位雜訊上。

Silent Switcher 3 穩壓器的輸出雜訊尖峰是由低控制迴路增益 (約 0 dB) 造成的，由於增益太弱，無法抑制此頻率範圍內的輸出雜訊。關於此一機制的詳細解釋，可參閱 Silent Switcher 3 系列的數據手冊。² 可以透過調整補償來增加 Silent Switcher 3 穩壓器的控制頻寬，進而降低雜訊尖峰。因此，透過優化 Silent Switcher 3 穩壓器的控制迴路以獲得更高的控制頻寬，相位雜訊可以得到進一步降低，如圖 3 所示。圖 2 中的基線相位雜訊評估結果，是在 Silent Switcher 3 穩壓器處於慢補償和低控

制頻寬的條件下得出的。透過優化控制迴路並實現高頻寬，約 250 kHz 處的相位雜訊尖峰幾乎被消除，降低幅度超過 10 dBc/Hz。儘管如此，在 100 kHz 至 500 kHz 的頻率範圍內，基於 Silent Switcher 3 穩壓器的單級解決方案所產生的相位雜訊仍略高於採用超低雜訊低 LDO 的兩級解決方案。

為了進一步提升 Silent Switcher 3 穩壓器供電時的相位雜訊性能，可以設計並增加一個次級 (第二個) LC 濾波器至 Silent Switcher 3 穩壓器的輸出端。詳細的電路圖如圖 4 所示，

圖 2: 超低雜訊 LDO 穩壓器 (LT3045) 與 Silent Switcher 3 穩壓器 (LT8625S) 的 5 V 相位雜訊基線比較。

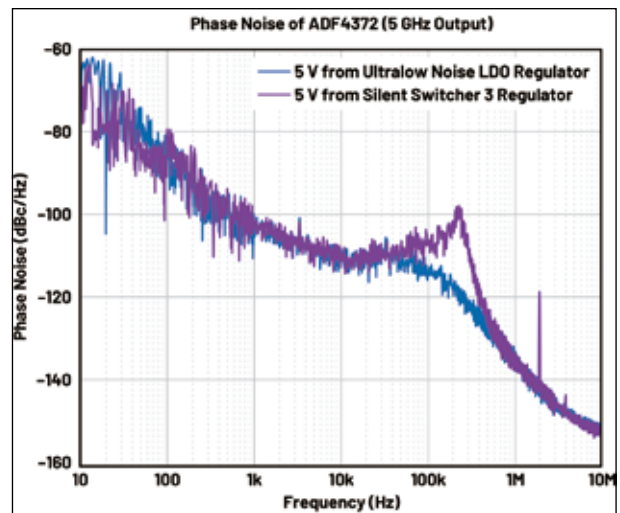
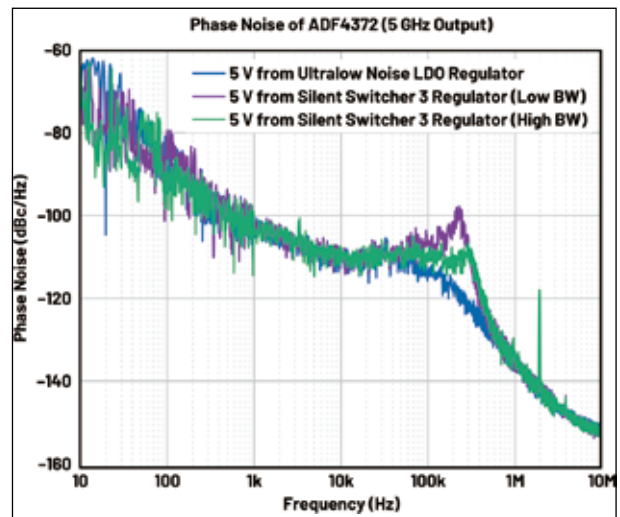
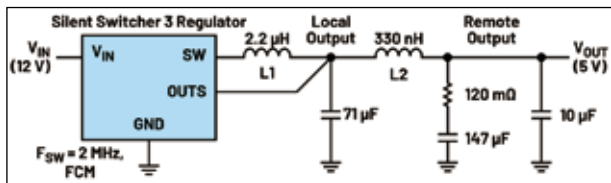


圖 3: Silent Switcher 3 穩壓器控制頻寬對高性能 PLL 相位雜訊的影響。



其中展示了一個基於 Silent Switcher 3 穩壓器的單級解決方案，使用了第二級 LC 濾波器為 5 V 電源軌供電。配置了第二級 LC 濾波器後，輸出電壓的感測既可以在本地輸出端進行，也可在第二級 LC 濾波器後的遠端輸出端完成。本案例中選擇在本地輸出端感測輸出電壓，以便簡化控制迴路的設計。由於高性能 PLL 的電流消耗較低（通常低於 1A），第二級 LC 濾波器兩端的電壓降很小，因此僅感測本地輸出電壓是合理的。因此，選擇使用本地輸出電容來保證 Silent Switcher 3 穩壓器的穩定運行。然後，根據一般的設計指南建議，遠端輸出電容應高於本地輸出電容，以使系統穩定性對負載電容的敏感度降低。⁵

圖 4: 具有第二級 LC 濾波器的 Silent Switcher 3 穩壓器的電路圖，用於為 PLL 提供 5 V 的電壓。

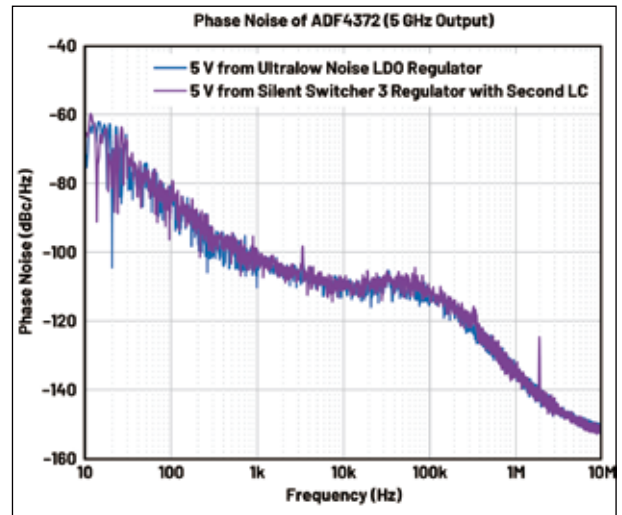


在確定了本地輸出電容和遠端輸出電容之後，第二級電感 L2 可以根據截止頻率，也就是第二級 LC 濾波器的諧振頻率來進行選擇。如圖 3 所示，設計目標是在 250 kHz 處實現大於 10 dBc/Hz 的衰減量，因而要求第二級 LC 濾波器在 250 kHz 處至少產生 20 dB 的衰減量。為了提供更高的餘裕，採用在 250 kHz 時實現 30 dB 衰減量的設計，因此第二級 LC 濾波器（衰減斜率為 -40 dB/dec）的截止頻率應為 44.6 kHz。由此計算得出，第二級 LC 濾波器的電感值為 260 nH。考慮到電感的公差（通常為 ±20%），最終選定的電感值為 330 nH。最後但同樣重要的是，在第二級 LC 濾波器的設計中應實現足夠的阻尼，通常的經驗法則是將品質因數 Q 控制在 1.5 以下。因此，增加 120 mΩ

的阻尼電阻並將其與遠端輸出電容串聯，進而使有效品質因數 Q 達到 0.7。

如圖 4 所示，配備了所設計的第二級 LC 濾波器後，基於 Silent Switcher 3 穩壓器的解決方案所實現的相位雜訊性能，幾乎與採用超低雜訊 LDO 穩壓器的兩級解決方案相當。如圖 5 所示，所設計的第二級 LC 濾波器進一步提升了由 Silent Switcher 3 穩壓器供電時的相位雜訊性能，使得在 10 Hz 到 10 MHz 的頻率範圍內，與超低雜訊 LDO 穩壓器的效果幾乎相同。儘管由 Silent Switcher 3 穩壓器供電產生的相位雜訊結果在 2 MHz 處因開關頻率的緣故仍然存在一個微小的雜散訊號，但這個雜散訊號的頻率是可預測的，且與載波頻率相距較遠，因此並不難處理。

圖 5: 超低雜訊 LDO 穩壓器 (LT3045) 與具有第二級 LC 濾波器的 Silent Switcher 3 穩壓器 (LT8625S) 在輸出 5 V 電壓時的 ADF4372 相位雜訊比較。



此外，無論是否配備設計的第二級 LC 濾波器，Silent Switcher 3 解決方案所產生的相位雜訊，都遠低於 Silent Switcher 2 穩壓器 (LTM8024) 和其他供應商的常規開關穩壓器。如圖 6a 所示，作為一款超低雜訊降壓型開關穩壓器，相較於 Silent Switcher 2 穩壓器和常規開關穩壓器，Silent Switcher 3 穩壓器在 1 kHz

至 500 kHz 的頻率範圍內，能夠實現低得多的相位雜訊。在低於 1 kHz 的頻率下，不同電源供電時所測得的相位雜訊並無差異。這是因為在如此低的頻率下，高性能 PLL 的相位雜訊主要由 PLL 的參考時脈決定，而非電源。此外，如圖 6b 所示，Silent Switcher 3 穩壓器在沒有針對超低雜訊進行特殊設計的情況下，也能實現比 LDO 穩壓器更低的相位雜訊。在 5 kHz 至 100 kHz 範圍內，兩者的相位雜訊差值大於 10 dBc/Hz，其中 Silent Switcher 3 穩壓器在輸出雜訊方面優於未採用超低雜訊設計的 LDO 穩壓器（見表 1）。綜上所述，透過合理的控制迴路和濾波器設計，基於 Silent Switcher 3 穩壓器的單級解決方案能夠實現與採用超低雜訊 LDO 穩壓器的兩級解決方案近乎相同的 PLL 性能。基於 Silent Switcher 3 穩壓器的單級解決方案，相較於採用未進行超低雜訊設計的 LDO 穩壓器的兩級解決方案，能為 PLL 提供更好的相位雜訊性能。

使用超低雜訊開關穩壓器為 ADC 系統供電

本節重點介紹採用基於 Silent Switcher 3 穩壓器的單級電源解決方案為 ADC 系統所帶來的優勢。ADC 系統廣泛應用於眾多 RF 應用，例如 5G/ 無線通訊、防務等。一個典型的 ADC 系統通常由 PLL 時脈、ADC 和數位文書處理器組成。本案例研究選用了一款進階型高速 ADC，即頻寬為 9 GHz 的 AD9208。⁶ 仍然採用 ADF4372 展示板為系統提供時脈訊號。生成頻率 1.23 GHz、幅度 -10 dBFS 的類比訊號，作為 ADC 的輸入訊號。數位端則藉由高速 FPGA 板 (ADS7-V2EBZ 板) 和 ACE 軟體來實現數位訊號檢測和 ADC 性能評估。ADC 系統的詳細資訊如圖 7 所示。

在此 ADC 案例研究的第一部分，我們研究了 ADC 系統的性能，以及將 Silent Switcher 3 穩壓器用於 PLL 時脈電源所帶來的優勢。同樣，ADF4372 的 3.3 V 電源軌始終由超低雜訊 LDO 穩壓器 (LT3045) 供電，而 5 V 電源軌則由 Silent Switcher 3 解決方案或其他電源解決方案供電。此外，AD9208 始終由安裝在標準展示板上的預設電源解決方案供電。在相同的類比輸入訊號條件下，圖 8 展示了在不同 PLL 時脈電源供電時，ADC 輸出訊號在 1.23 GHz 附近的平均快速傅立葉轉換 (FFT) 結果，其頻率跨度為 2 MHz。相較於其他開關穩壓器，Silent Switcher 3 穩壓器能夠讓 ADC 實現最佳的性能，並在 1.23 GHz 附近具有最低的雜訊，儘管其 FFT 波形在頻率偏移約 250 kHz 處仍有一個平臺區。

ADC 系統性能對取樣時脈訊號的品質（即相位雜訊）十分敏感。在約 250 kHz 處的平臺區，與 ADF4372 輸出訊號相位雜訊圖（圖 3 中的綠色曲線）中相同頻率處的小尖峰高度吻合。正如 PLL 案例研究中所揭示，相位雜訊圖中的這種小雜散訊號可以透過增加濾波器來消除。因此，將 Silent Switcher 3 穩壓器用於時脈電源時，透過增加第二級 LC 濾波器能夠提升 ADC 的性能，而這一點也得到了實驗結果的證實。圖 9 呈現了在採用圖 4 中設計的第二級 LC 濾波器的 Silent Switcher 3 解決方案下，ADC 輸出訊號的 FFT 結果。ADC 輸出的最終 FFT 波形在主訊號 1.23 GHz 附近呈現出極低的雜訊，這幾乎與超低雜訊 LDO 穩壓器的結果相同。不出所料，圖 9 還說明，在頻率偏移小於 100 kHz 的情況下，配備了第二級 LC 濾波器的 Silent Switcher 3 穩壓器的 FFT 結果優於未採用超低雜訊設計的 LDO 穩壓器的 FFT 結果，這是因為其低頻雜訊更低，進而使得 PLL

時脈訊號的相位雜訊也更低。

為了更全面地評估 ADC 系統的性能，除了分析 ADC 輸出的 FFT 結果之外，還對兩個重要的 ADC 參數進行了評估，即訊號雜訊比 (SNR) 和無雜散動態範圍 (SFDR)。6 SNR 的

圖 6: 不同電源下 PLL 時脈 (ADF4372) 的相位雜訊: (a) ADF4372 的相位雜訊 (5 GHz 輸出); (b) ADF4372 的相位雜訊 (5 GHz 輸出)。

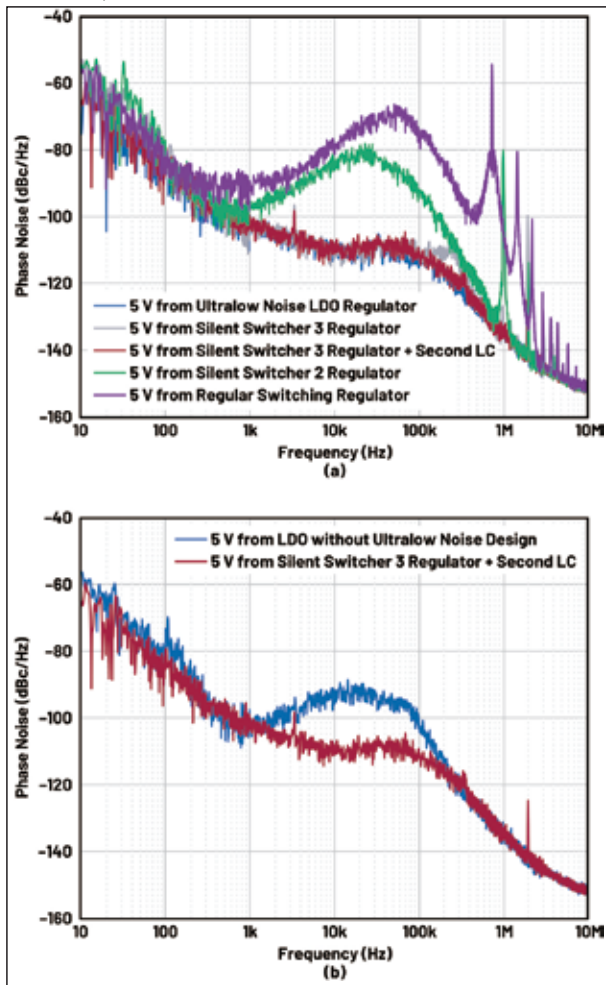
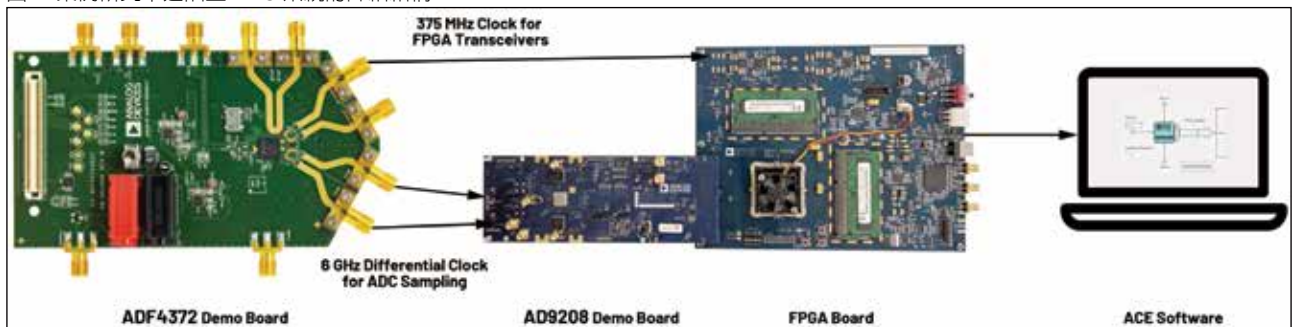


圖 7: 案例研究中進階型 ADC 系統的詳細結構。



定義簡明易懂；而 SFDR 指的是輸入訊號的均方根幅值與任何雜散雜訊訊號的最高均方根幅值之比。不同於僅考慮輸入訊號頻率附近的窄頻率跨度，SNR 和 SFDR 的計算涵蓋了寬廣頻率範圍內的雜訊。如表 2 所示，未使用任何 LDO 穩壓器進行後級穩壓的 Silent Switcher 3 解決方案所實現的 AD9208 的 SNR 和 SFDR，與採用超低雜訊 LDO 穩壓器的傳統兩級解決方案達成的結果相同。第二級 LC 濾波器對所測得的 SNR 和 SFDR 幾乎沒有影響。此外，Silent Switcher 3 解決方案實現的 SNR 和 SFDR 遠遠高於其他開關穩壓器解決方案：產生的 SNR (十進位) 是常規開關穩壓器的約 20 倍，SFDR (十進位) 則為 45 倍。至於相較於未採用超低雜訊設計的 LDO 穩壓器，Silent Switcher 3 解決方案實現的 SNR 略勝一籌，而 SFDR 則旗鼓相當，這是因為其優勢僅體現在輸入頻率附近的雜訊控制上，而這部分雜訊在 SNR 計算所涉及的總雜訊中佔比很小。

本案例研究的另一方面，是探究採用 Silent Switcher 3 穩壓器為 ADC 供電時 ADC 系統的性能表現及由此帶來的優勢。在這一部分中，PLL 時脈始終由預設的兩級解決方案供電，採用超低雜訊 LDO 穩壓器 (LT3045)，以便專注於研究 ADC 電源所產生的影響。具體而言，為了簡化研究流程，選取 AD9208 的一個類比電源軌 AVDD1 作為示例。AVDD1 電源軌負責為時脈域供電，其電壓為 0.975 V，標稱電流消耗為

圖 8: 不同電源下 ADC 取樣時脈 (超低雜訊 LDO 穩壓器、Silent Switcher 3 穩壓器、Silent Switcher 2 穩壓器和常規開關穩壓器) 的 ADC 輸出訊號的平均 FFT 結果。

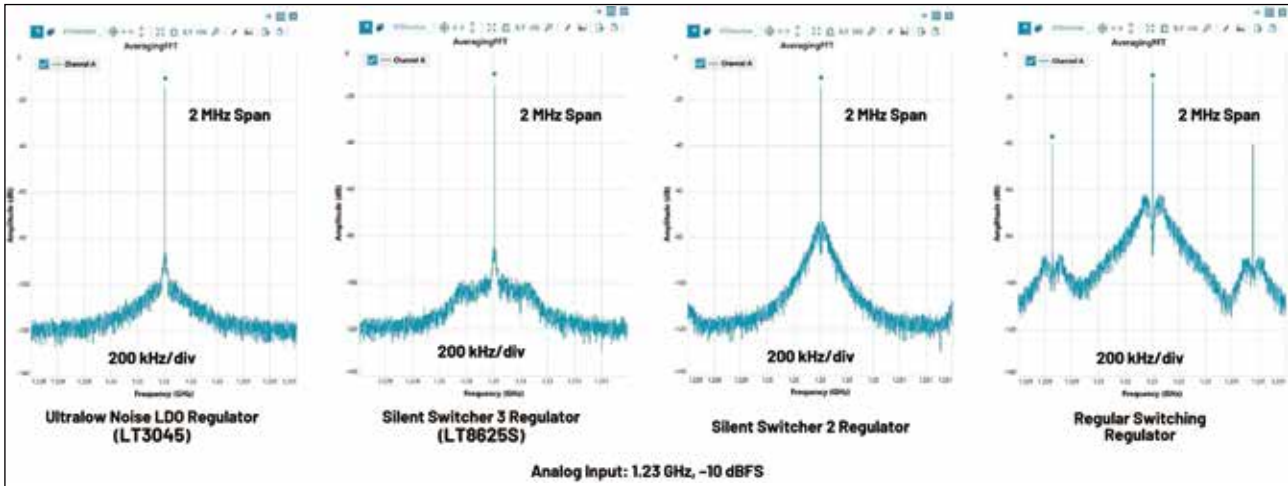
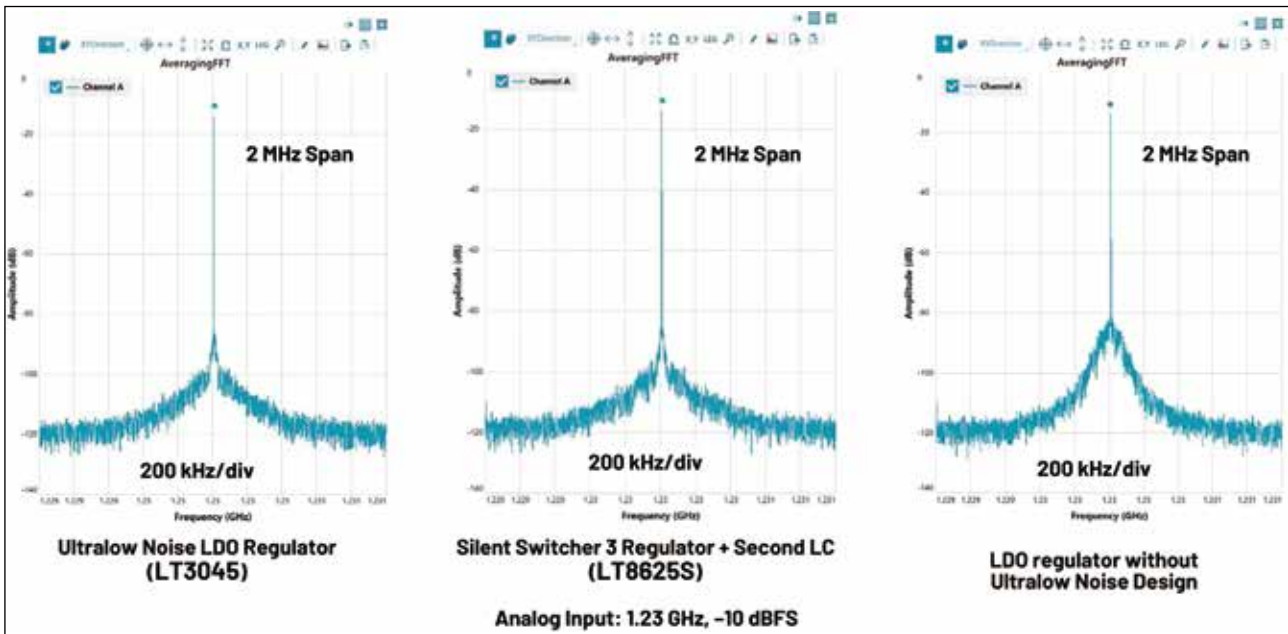


圖 9: 不同電源下 ADC 取樣時脈 (具有第二級 LC 濾波器的 Silent Switcher 3 穩壓器，無超低雜訊設計的 LDO 穩壓器) 的 ADC 輸出訊號的平均 FFT 結果。



640 mA，占總功耗的 19%。⁶ 由於其對電源雜訊較為敏感，基於理論和實踐分析，故而被選定為研究物件。其他所有電源軌則依然由標準展示板上安裝的預設電源解決方案供電。

實驗結果證明，單級 Silent Switcher 3 解決方案能夠取代傳統的兩級解決方案為 ADC 供電，並且不會削弱 ADC 的性能。為了評估採用 Silent Switcher 3 解決方案 (LT8625S) 作

為 AVDD1 電源時 ADC 的性能表現，我們對 ADC 輸出的平均 FFT 結果進行了深入分析。需要注意的是，本次未安裝第二級 LC 濾波器。如圖 10 所示，由 Silent Switcher 3 穩壓器為 AVDD1 供電時，ADC 輸出的 FFT 結果近乎理想，與採用兩級解決方案 (降壓式穩壓器加超低雜訊 LDO 穩壓器) 為 AVDD1 供電時的 FFT 結果一樣令人滿意。即使未安裝第二級 LC 濾

表 2: 不同 ADC 取樣時脈電源下 AD9208 的 SNR 和 SFDR 對比

ADC 電源取樣時脈	ADC 的 SNR (十進位)	ADC 的 SNR (dBFS)	ADC 的 SFDR (十進位)	ADC 的 SFDR (dB)
超低雜訊 LDO 穩壓器 (LT3045)	794.3	58 dBFS	922.6	59.3 dB
具有第二級 LC 濾波器的 Silent Switcher 3 穩壓器 (LT8625S)	794.3	58 dBFS	922.6	59.3 dB
無第二級 LC 濾波器的 Silent Switcher 3 調節器 (LT8625S)	758.6	57.6 dBFS	922.6	59.3 dB
無超低雜訊設計的 LDO	767.4	57.7 dBFS	922.6	59.3 dB
Silent Switcher 2 穩壓器	126	42.0 dBFS	56.2	35.0 dB
常規開關 穩壓器	43.2	32.7 dBFS	20.9	26.4 dB

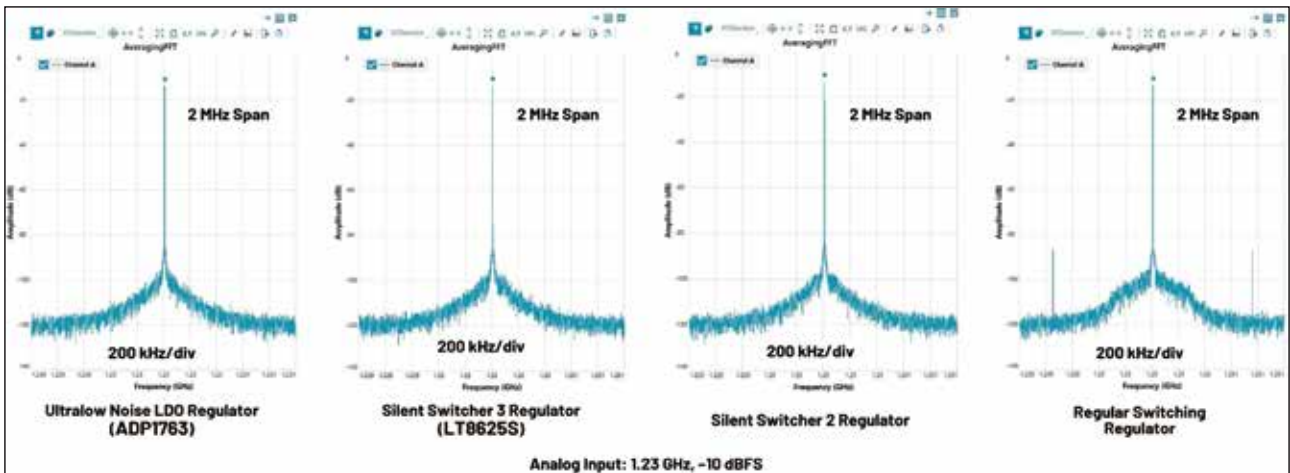
波器，在頻率偏移約 250 kHz 處也未出現尖峰。

此外，ADC 的性能對 ADC 電源的低頻雜訊不太敏感，反而對 ADC 電源的開關漣波更為敏感。基於 Silent Switcher 2 穩壓器的單級解決方案，其開關頻率為 2 MHz，儘管 Silent Switcher 2 穩壓器的低頻雜訊性能並非最優，但在基頻 (1.23 GHz) 附近仍能使 ADC 輸出近乎理想的波形。正如本案例研究第一部分所證實的，這是因為在基頻附近，ADC 的輸出雜訊主要受取樣時脈的相位雜訊影響。換言之，高速 ADC 在基頻附近的輸出雜訊對電源雜訊並不十分敏感。不過，如圖 10 所示，若使用低頻雜訊過高的常規開關穩壓器為 AVDD1 供電，

會使 ADC 在基頻附近的輸出雜訊變得更糟。圖 10 還顯示，ADC 電源的開關漣波會傳導至 ADC 輸出，導致 ADC 輸出的 FFT 結果出現相當明顯的雜散訊號。例如，使用開關頻率為 750 kHz 的常規開關穩壓器為 AVDD1 供電時，在頻率偏移 750 kHz 處會產生大於 30 dB 的雜散訊號。先前研究開關漣波雜訊對高速資料轉換器 (ADC 和 DAC) 性能影響的文獻證實了這一點。^{7,8} 因此，透過合理的濾波器設計，基於 Silent Switcher 3 技術的單級解決方案完全能夠滿足 ADC 的電源需求，並確保其達到令人滿意的性能表現。

綜上所述，基於 Silent Switcher 3 技術的

圖 10: 在提供 AVDD1 的不同電源 (超低雜訊 LDO 穩壓器、Silent Switcher 3 穩壓器、Silent Switcher 2 穩壓器和常規開關穩壓器) 下，ADC 輸出訊號的平均 FFT 結果。



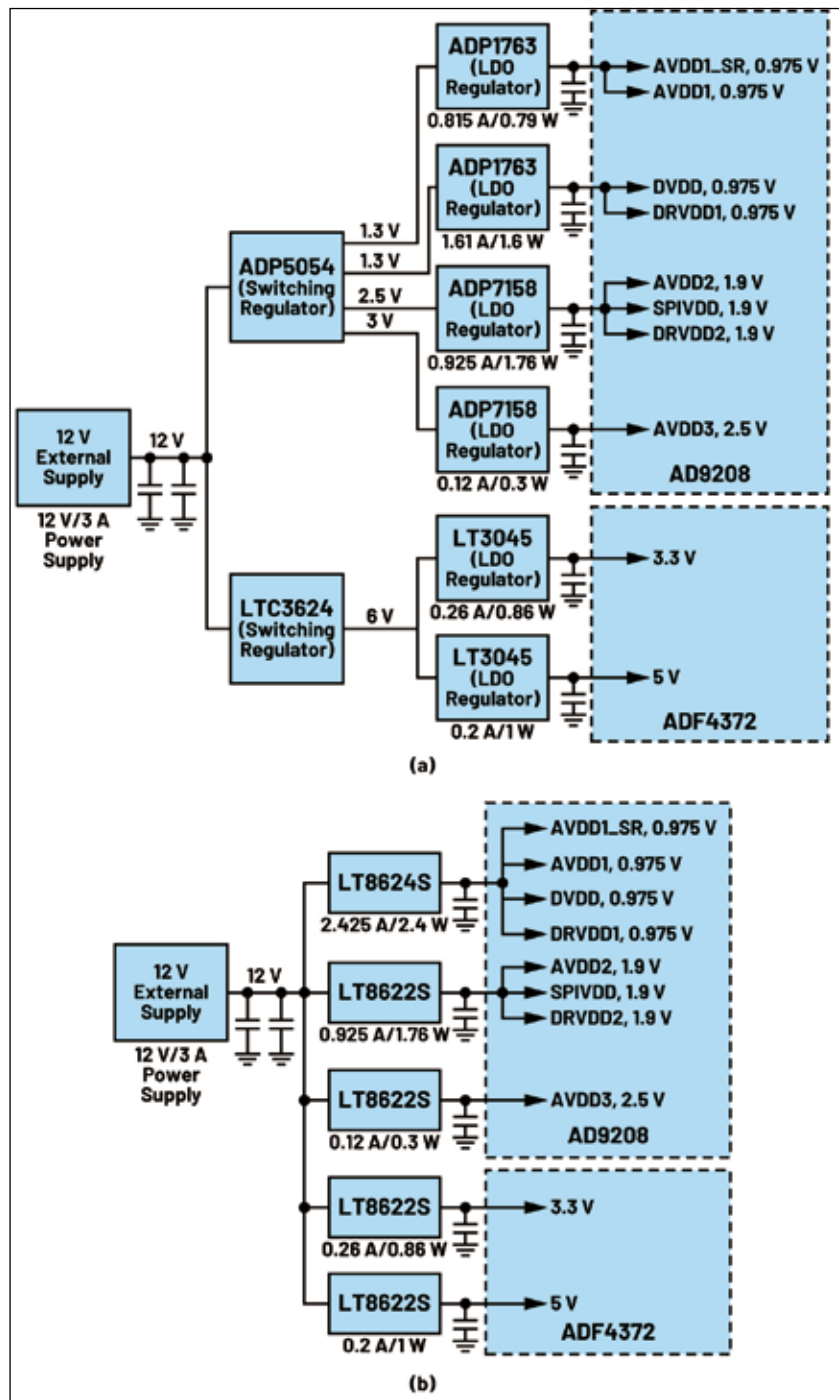
單級電源解決方案能夠取代採用超低雜訊 LDO 穩壓器的傳統兩級解決方案，為進階型 ADC 系統中的 PLL 時脈和高速 ADC 供電。基於 Silent Switcher 3 技術的單級方案依然能夠使 ADC 系統達到令人滿意的性能，相較於傳統的降壓式穩壓器加 LDO 穩壓器的解決方案，ADC 的關鍵參數 (如 SNR、SFDR、雜訊性能等) 均未受到影響。此外，相較於自身的電源雜訊，ADC 的性能對取樣時脈源的電源雜訊更為敏感。因此，為了讓 Silent Switcher 3 技術為進階型 ADC 系統供電並具備令人滿意的系統性能，尤其是 PLL 時脈的性能，需要設計合理的控制迴路和輸出濾波器。

基於超低雜訊開關穩壓器的 ADC 系統電源架構

前面的章節已經證明，Silent Switcher 3 技術非常適合為進階型 ADC 系統中的高性能 PLL 和高速 ADC 供電。Silent Switcher 3 技術不僅能夠滿足進階型 ADC 系統的電源需求，還能確保系統性能不受任何影響。基於此，可以為 ADC 系統設計一個簡化的全新電源樹，無需使用任何 LDO 穩壓器，純粹基於 Silent Switcher 3 積體電路。也就是說，傳統的兩級解決方案 (降壓型穩壓器加 LDO 穩壓器) 完全被基於超低雜訊開關穩壓器 Silent Switcher 3 的單級解決方案所取代。基於上一節中的 ADC 系統案例研究，圖

11 對 ADC 系統 (ADF4372 + AD9208) 的原始電源樹和基於 Silent Switcher 3 技術的新型簡化電源樹進行了對比。原始電源樹結構是基於 AD9208 和 ADF4372 標準展示板上所使用的電

圖 11: ADC 系統的原始電源樹與新型電源樹 (AD9208 + ADF4372) 對比: (a) 原始電源樹 (降壓式穩壓器與 LDO 穩壓器組合而成的兩級解決方案); (b) 新型電源樹 (基於 Silent Switcher 3 技術的單級解決方案)。



源解決方案設計的；而新型電源樹則是基於適用於低電流應用的最新 Silent Switcher 3 系列元件 (LT8622S 和 LT8624S) 設計的。

新型電源樹無需使用任何 LDO 穩壓器，能夠為整個系統帶來顯著且廣泛的益處。如圖 11 所示，基於 Silent Switcher 3 技術的電源樹是一種簡化的結構，僅包含五個 Silent Switcher 3 積體電路，而原始電源樹則需要兩個開關穩壓器和六個 LDO 穩壓器。因此，新型電源樹能夠大幅節省 PCB 面積，並且顯著降低成本。此外，新型電源樹結構能夠大幅提升效率，從 61.7% 提高到 84.8%。總功率損耗降低了 71%，從 3.919 W 降低到了 1.136 W。傳統電源樹結構的 LDO 穩壓級本身就有 2.305W 的功率損耗。總功率損耗能有如此顯著的降低，不僅是因為去除了 LDO 穩壓器，還得益於 Silent Switcher 3 積體電路即使在 2 MHz 開關頻率下也具有較高的效率。未來，針對小於 1 A 應用場景專門開發的超低雜訊開關穩壓器，可望進一步提升基於 Silent Switcher 3 技術的電源樹的效率。

結論

超低雜訊開關穩壓器不僅能夠在較寬廣的頻率範圍內實現超低的輸出雜訊，還兼具較高的效率和輸出電流能力。憑藉突破性的雜訊性能，ADI 的 Silent Switcher 3 技術在低頻雜訊控制上甚至超越了大多數 LDO 穩壓器。因此，基於 Silent Switcher 3 技術的單級電源解決方案對於雜訊敏感型 RF 應用而言極具吸引力，具有廣闊的前景。本文全面展示了 Silent Switcher 3 系列在雜訊敏感型 RF 應用中的優勢。兩個案例研究也成功證明，基於 Silent Switcher 3 技術的單級電源解決方案能夠取代採用超低雜訊 LDO 穩壓器的傳統兩級解決方案，並且依然能夠確保系統性能不受影響。

在為高性能 PLL 時脈供電時，Silent Switcher 3 技術所實現的相位雜訊幾乎與採用超低雜訊 LDO 穩壓器的兩級解決方案相當。就 PLL 的性能而言，Silent Switcher 3 技術甚至優於未採用超低雜訊設計的基於典型 LDO 穩壓器的兩級解決方案。另一個 ADC 系統案例研究表明，透過合理設計濾波器，Silent Switcher 3 技術能夠使 ADC 達到優異性能表現，關鍵參數與降壓式穩壓器加超低雜訊 LDO 穩壓器的解決方案幾乎無異。因此，可以為 ADC 系統開發一種基於 Silent Switcher 3 技術的簡化電源樹結構，無需使用任何 LDO 穩壓器。相較於原有的降壓式穩壓器加超低雜訊 LDO 穩壓器的解決方案，不使用任何 LDO 穩壓器的 Silent Switcher 3 解決方案不僅減少了元件數量、縮小瞭解決方案尺寸，同時更實現了 71% 的功耗降幅。

參考文獻

- ¹ 「Silent Switcher 技術」，ADI，2023 年。
- ² 「LT8625S：具有超低雜訊基準電壓源的 18V/8A 降壓型 Silent Switcher 3」，ADI，2023 年。
- ³ Yu Lu 和 Hugh Yu，「低雜訊 Silent Switcher μ Module 和 LDO 穩壓器改善超音波雜訊和圖像品質」，《類比對話》，第 56 卷，2022 年 4 月。
- ⁴ 「ADF4372：整合 VCO 的微波寬頻頻率合成器」，ADI，2021 年。
- ⁵ Ray Ridley，「二級 LC 濾波器設計」，Switching Power Magazine，2000 年 7 月。
- ⁶ 「AD9208：14 位元、3 GSPS、JESD204B、雙通道類比數位轉換器」，ADI，2017 年。
- ⁷ John Martin Dela Cruz 和 Patrick Pasaquian，「優化訊號鏈的電源系統 — 第 2 部分：高速資料轉換器」，《類比對話》，第 55 卷，2021 年 4 月。
- ⁸ Aldrick Limjoco、Patrick Pasaquian 和 Jefferson Eco，「Silent Switcher Module 穩壓器為 GSPS 取樣 ADC 提供低雜訊供電，並節省一半空間」，ADI，2018 年。 